

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/007113

International filing date: 06 April 2005 (06.04.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-115225
Filing date: 09 April 2004 (09.04.2004)

Date of receipt at the International Bureau: 20 May 2005 (20.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2004年 4月 9日

出 願 番 号
Application Number: 特願2004-115225

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

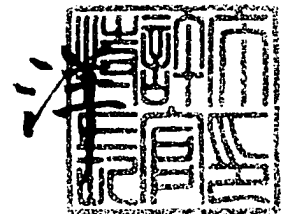
J P 2004-115225

出 願 人
Applicant(s): 株式会社半導体エネルギー研究所

2005年 4月27日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 P007821
【提出日】 平成16年 4月 9日
【あて先】 特許庁長官 殿
【発明者】
 【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 【氏名】 荒井 康行
【発明者】
 【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 【氏名】 秋葉 麻衣
【発明者】
 【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 【氏名】 舘村 祐子
【発明者】
 【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 【氏名】 神野 洋平
【特許出願人】
 【識別番号】 000153878
 【氏名又は名称】 株式会社半導体エネルギー研究所
 【代表者】 山崎 舜平
【手数料の表示】
 【予納台帳番号】 002543
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項 1】

ＩＤタグが付された商品を包装するための包装体と、前記ＩＤタグに記憶された情報を読み書きするためのリーダ／ライタとを有する商品管理システムであって、

前記ＩＤタグは、薄膜トランジスタを含む薄膜集積回路部及びアンテナを有し、

前記包装体は、アンテナコイル及びキャパシタを有する共振回路部を有し、

前記共振回路部は、前記リーダ／ライタ及び前記ＩＤタグと交信可能であることを特徴とする商品管理システム。

【請求項 2】

請求項 1 において、

前記リーダ／ライタと前記共振回路部の間の通信方式と、前記共振回路部と前記ＩＤタグの間の通信方式は、同じであることを特徴とする商品管理システム。

【請求項 3】

請求項 2 において、

前記通信方式は、電磁誘導方式であることを特徴とする商品管理システム。

【請求項 4】

請求項 1 において、

前記リーダ／ライタと前記共振回路部の間の通信方式と、前記共振回路部と前記ＩＤタグの間の通信方式は、異なることを特徴とする商品管理システム。

【請求項 5】

請求項 4 において、

前記リーダ／ライタと前記共振回路部の間の通信方式は、電磁誘導方式又はマイクロ波方式であることを特徴とする商品管理システム。

【請求項 6】

ＩＤタグが付された商品を包装するための包装体と、前記ＩＤタグに記憶された情報を読み書きするためのリーダ／ライタとを有する商品管理システムであって、

前記ＩＤタグは、薄膜トランジスタを含む薄膜集積回路部及びアンテナを有し、

前記包装体は、アンテナコイル及びキャパシタを有する共振回路部を有し、

前記共振回路部は、前記リーダ／ライタ及び前記ＩＤタグと交信可能であり、

前記リーダ／ライタと前記共振回路部の間の交信距離は、前記共振回路部と前記ＩＤタグの間の交信距離よりも長いことを特徴とする商品管理システム。

【請求項 7】

請求項 6 において、

前記リーダ／ライタと前記共振回路部の間の通信方式は、電磁誘導方式又はマイクロ波方式であることを特徴とする商品管理システム。

【書類名】明細書

【発明の名称】商品管理システム

【技術分野】

【０００１】

本発明は、メモリやＣＰＵ等からなるＩＤタグが付された商品に関する情報を、リーダー／ライターによって読み出し、書き込みをする商品管理システムに関する。

【背景技術】

【０００２】

近年、食品業界、製造業界等のあらゆる産業界において、商品の安全性や管理体制の強化を求める声が高まっており、それに伴い商品に関する情報量が増加しつつある。しかし、現状の商品情報は、主にバーコードの十数桁の数字により提供される製造国、メーカー、商品番号等の情報程度であり、情報量が非常に少なかった。またバーコードを利用した場合、一つ一つを手作業で行うため読み取りに時間を要していた。そこで、バーコードシステムに代わり、ＲＦＩＤ（Radio Frequency Identification）と呼ばれる、電磁波を利用した非接触ＩＣタグによる自動認識技術が注目されている。

【０００３】

また、動植物の安全性（例えば、原産地、伝染病の感染の有無等）を確保するために、動植物の体内に直接ＩＣチップを埋め込み、体外の情報読み取り装置（リーダー）によって動植物に関する情報を取得、管理するという体制が普及しつつある（以上、非特許文献１参照）。

【０００４】

【非特許文献１】日経エレクトロニクス 日経ＢＰ社 ２００２．１１．１８発行
p. 67-76

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかしながら、ＩＤタグが付された商品は、通常、段ボールや容器等の何らかの包装体によって保管され、運搬される。この際、商品が包装体の内部にある場合には、リーダー／ライター（以下「Ｒ／Ｗ」ということがある）を用いてＩＤタグと通信をする際に、通信が阻害されるおそれがある。また、商品を梱包した包装体が倉庫などで山積みになっている場合には、個々の商品に付されたＩＤタグとの通信が阻害される場合がある。特に、Ｒ／Ｗの通信距離が短いという制約がある場合には、内部の商品ほど、また内部の包装体に梱包された商品ほど、Ｒ／Ｗから発振される電磁波が到達しにくくなる。

【０００６】

そうすると、商品の流通過程において、商品を管理することが困難になり、ＩＤタグの利便性が失われる結果を招く。

【０００７】

本発明は、このような状況に鑑みて成されたものであり、商品が包装体に梱包されている場合であっても、Ｒ／Ｗと、商品に付されたＩＤタグとの通信安定性を確保し、商品の管理を簡易に効率良く行うことができる商品管理システムを提供することを目的としている。

【課題を解決するための手段】

【０００８】

上記課題を解決するため、本発明は、ＩＤタグが付された商品を包装するための包装体と、前記ＩＤタグに記憶された情報を読み書きするためのリーダー／ライターとを有する商品管理システムであって、前記ＩＤタグは、薄膜トランジスタを含む薄膜集積回路部及びアンテナを有し、前記包装体は、アンテナコイル及びキャパシタを有する共振回路部を有し、前記共振回路部は、前記リーダー／ライター及び前記ＩＤタグと交信可能であることを特徴としている。

【０００９】

すなわち、本発明は、商品を包装するための包装体に、共振回路部を設け、ＩＤタグに記憶された情報を読み書きするためのＲ／Ｗと、共振回路部との間における共振現象を利用して、ＩＤタグとＲ／Ｗとの通信のやりとりをスムーズかつ確実に行うことを特徴とする。該共振回路部は、少なくとも、インダクタンスＬと静電容量Ｃを含み、アンテナコイル及びコンデンサが、それぞれ両者の役割を担っている。

【発明の効果】

【００１０】

本発明に係る商品管理システムは上記構成を有していることにより、共振回路部を介して、Ｒ／Ｗ、ＩＤタグ間で、信号の送受信を行うことにより、ＩＤタグに記憶された情報の読み出し、消去、ＩＤタグへの情報の書き込み、変更等を実行することができる。特に、Ｒ／Ｗと、商品に付されたＩＤタグの間における指向性（ある一定の方向にのみ進む性質、又はある一定の方向からのみ受け入れる性質）による通信不能、通信不安定性を解消することができ、両者間の通信を実行することができる。したがって、商品１に付されたＩＤタグ２に対して、短時間で一度に情報を読み書きしたい場合にも本発明は有効である。

【００１１】

また、本発明に用いられるＩＤタグは、少なくとも薄膜トランジスタを含む薄膜集積回路部及びアンテナから構成されることにより、従来、シリコンウエハ上に複数の集積回路を形成し、該シリコンウエハを研磨除去することにより集積回路を分離する方法が用いられていたのに対して、より低コストで作製することができる。すなわち、複数の薄膜集積回路部が形成された基板から該薄膜集積回路を剥離することで素子分離が可能となり、シリコンウエハよりも低コストのガラス基板等を被剥離基板として用いる（複数回用いることも可能）ことができるため、低コストでＩＤタグを作製することができる。

【００１２】

また、共振回路部を形成するに当たっても、薄膜構造を主体とする薄膜集積回路部を基板上に複数設け、上記剥離方法によって形成することにより、低コストで共振回路部を作製することができる。

【００１３】

なお、剥離方法としては、 ClF_3 等のハロゲン化フッ素のガス又は液体を用いた化学的剥離や、複数の薄膜集積回路部が形成された基板にストレスを与え、基板を物理的に剥離する物理的方法とがあり、いずれを採用しても良い。しかし、特に化学的剥離方法を用いた場合には、物理的剥離方法と比較して、素子分離をより確実に行うことができる。

【００１４】

上述したとおり、本発明は、低コストで作製したＩＤタグを用いて、しかも、共振回路部を介して、Ｒ／ＷとＩＤタグとの間の通信をより確実に行うことができ、これによって、より高性能の商品管理システムを提供することができる。

【発明を実施するための最良の形態】

【００１５】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更することができる。例えば、本実施形態及び本実施例の各々を適宜組み合わせることで本発明を実施することができる。したがって、本実施の形態の記載内容に限定して解釈されるものではない。

【００１６】

（実施形態１）

本発明に係る商品管理システムの構成について、図１を参照して説明する。

【００１７】

図１には、商品１が梱包された包装体３が複数個積載された状態が示されている。商品１には、商品１に関する諸情報が記憶されたＩＤタグ２が付されている。また、包装体３には、共振回路部４が形成されている。なお、商品１は、同種類の商品であっても、異なる

る種類の商品であっても良い。

【0018】

ここで、商品に付されるIDタグ(Identification Tag)とは、主に市場に流通する商品の識別や、それらに関する情報を記憶させる機能を有するものであり、その形態により、IDチップ、IDラベル、IDシール、IDステッカー等とも呼ばれる。また、カード型のものも含まれるものとする。

【0019】

本発明におけるIDタグは、薄膜集積回路部によって構成される。薄膜集積回路部とは、従来のシリコンウエハ上に形成されたIC(Integrated Circuit: 集積回路)とは区別される概念であり、少なくともTF T (Thin Film Transistor: 薄膜トランジスタ)に代表される薄膜能動素子と、該薄膜能動素子同士を接続する配線や、該薄膜能動素子と外部機構(例えば、非接触型IDタグであればアンテナ)とを接続する配線等によって構成される集積回路部を指す。勿論、薄膜集積回路部の構成要素は、これに限定されるものではなく、少なくとも一のTF Tに代表される薄膜能動素子を含んでいれば、薄膜集積回路部というものとする。

【0020】

なお、本発明におけるIDタグを構成する薄膜集積回路部は、従来のICチップと異なり、薄膜であることから、ID Tチップ(Identification Thin Chip)等とも呼ばれる。また、本発明に用いられる薄膜集積回路部は、後述するように、原則としてシリコンウエハを用いず、ガラス基板や石英基板等の絶縁基板を用い、また、薄膜集積回路装置をフレキシブル基板に転写することも可能であることから、ID Gチップ(Identification Glass Chip)、ID Fチップ(Identification Flexible Chip)、ソフトチップ(Soft Chip)等とも呼ばれる。

【0021】

IDタグ2は、図1においては商品1の外部に視認できる形態で貼り付けてある。商品1の内部に内蔵しても良い。また、ここで言う商品には、商品の中身そのものは勿論のこと、商品の中身を包むケース等も含むものとする。

【0022】

また、共振回路部4は、図2に示すように、少なくとも、インダクタンスとして機能するアンテナコイル18と、コンデンサ19とを有している。共振回路部4は、IDタグ2に記憶された商品1に関する諸情報を読み書きするためのリーダ/ライタ(R/W)5から電磁波を受信し、IDタグ2へと電磁波を発信する部分である。また、IDタグ2から電磁波を受信し、R/W5へと電磁波を発信する部分である。このように、共振回路部4は、R/W5とIDタグ2との電磁波のやりとりの中継点の役割を果たす。

【0023】

共振回路部4は、R/W5から発信される電磁波の周波数と、同程度の周波数で共振するように設計される。すなわち、共振回路部4を構成するアンテナコイル18のインダクタンスLと、コンデンサ19の静電容量C(図2参照)の値を調整して、R/W5と共振するようにする。

【0024】

ここで共振とは、振動体が最も振動しやすい振動数(固有振動数)と同じ振動数を外部から加えると、それがわずかな力であっても物体が振動することをいう。この固有振動数は、共振周波数とも呼ばれ、振動系固有のものである。共振周波数fは、 $f = 1 / \{ 2\pi (LC)^{1/2} \}$ で表される。つまり、共振回路部4を構成するアンテナコイル18のインダクタンスLとコンデンサ19の静電容量Cの値を調整し、周波数fをR/W5と同程度の周波数となるように調整することにより、共振回路部4を共振させることができる。

【0025】

ここで、R/W5を商品1が梱包された包装体3に向けてかざすと、アンテナ部6から包装体3に向かって電磁波が発信される。包装体3に形成された共振回路部4は、R/W5と同程度の周波数で共振するために、R/W5から効率良く交流電磁波を受信すること

ができる。さらに、共振回路部４は、ＩＤタグ２との間において、電磁結合方式、電磁誘導方式、静電結合方式等により、ＩＤタグ２への電力供給、及びＩＤタグ２と共振回路部４の間（すなわち、ＩＤタグ２とＲ／Ｗ５の間）における信号送受信を行う。

【００２６】

このように、共振回路部４を介して、Ｒ／Ｗ５、ＩＤタグ２間で、信号の送受信を行うことにより、ＩＤタグ２に記憶された情報の読み出し、消去、ＩＤタグ２への情報の書き込み、変更等を実行することができる。特に、Ｒ／Ｗ５と、商品１に付されたＩＤタグ２の間における指向性（ある一定の方向にのみ進む性質、又はある一定の方向からのみ受け入れる性質）による通信不能、通信不安定性を解消することができ、両者間の通信を確実に行うことができる。

【００２７】

なお、Ｒ／Ｗ５と共振回路部４との間、共振回路部４とＩＤタグ２との間の通信方式としては、電磁誘導方式、電磁結合方式、マイクロ波方式、光通信方式、静電結合方式等を採用することができる。そして、両者の通信方式は、同じでも異なっても良い。

【００２８】

また、特に、電磁誘導方式、電磁結合方式、静電結合方式は、一般的に、その交信距離によって、近傍型、密着型、近接型に分類されるが、どの型を採用しても良い。

【００２９】

なお、リーダー／ライターと共振回路部の間の交信距離は、共振回路部とＩＤタグの間の交信距離より長くしてもよい。共振回路部とＩＤタグの間の交信距離を長くすることによって、より遠くからＩＤタグと通信することができ、遠隔操作が可能となる。

【００３０】

アンテナ部６で受信したＩＤタグ２に記憶された情報は、Ｒ／Ｗ５内に設けられた表示部７に表示される。例えば、商品１の原産国、生産者、生産時期、輸入元、賞味期限、価格等の情報が表示される。Ｒ／Ｗ５には、操作キー８が設けられており、ＩＤタグ２との通信のＯＮ／ＯＦＦや、読み出した情報の選択、削除等が可能となる。また、Ｒ／Ｗ５はコンピュータ９に接続されている。コンピュータ９は、Ｒ／Ｗ５を制御するとともに、Ｒ／Ｗ５が読み取った情報処理などを行う。

【００３１】

なお、共振回路部４は、独自のバッテリー、ＣＰＵ、メモリ等を備え付けた構成としても良い。これにより、共振回路部４に情報を一時的に記憶させることもできる。また、共振回路部４がＲ／Ｗの役割を果たすようにしても良い。これにより、例えば、商品１を梱包した時点で、共振回路部４に蓄積された情報がＩＤタグ２に書き込まれ、また、ＩＤタグ２に蓄積された情報を読み出すことができる。

【００３２】

また、商品１が包装体３から取り出された後には、包装体３は再利用することができる。

【００３３】

（実施形態２）

本発明に係る商品管理システムの構成について、図２を参照してさらに具体的に説明する。図２は、ＩＤタグ２、共振回路部４、Ｒ／Ｗ５の構成を示すブロック図である。

【００３４】

Ｒ／Ｗ５は、少なくとも出力用インターフェース１２、入力用インターフェース１３、出力用アンテナ１４及び入力用アンテナ１５からなる構成を有している。なお各種アンテナの数は、図２に示した数に限定されない。また、アンテナの形状も、コイル状に限定されない。

【００３５】

Ｒ／Ｗ５の出力用インターフェース１２で変調された信号は、出力用アンテナ１４から出力され、包装体３に設けられた共振回路部４を介して、ＩＤタグ２に発信される。

【００３６】

ここで、共振回路部4は、少なくとも誘導性及び容量性のインピーダンスZが設けられた回路からなる。誘導性のインピーダンスとはインダクタンスL、容量性のインピーダンスとは静電容量（キャパシタンス）Cをいう。例えば、図2に示すように、共振回路部4は、少なくともインダクタンスLとして機能するアンテナコイル18、静電容量Cとして機能するコンデンサ19からなる構成を有している。インダクタンスLと静電容量Cとは、直列に接続してもよいし（直列共振）、並列に接続してもよい（並列共振）。

【0037】

共振回路部4において、例えば、コイル（インダクタンスL）とコンデンサ（キャパシタンスC）が直列に接続されている場合、共振点（ $f = 1 / \{2\pi(LC)\}^{1/2}$ ）となる点）ではコイルとコンデンサのリアクタンス分（インピーダンスの虚数部分）が相殺されてインピーダンスは0となる。ただし、実際の素子には必ず抵抗分R（インピーダンスの実数部分）が存在するので、インピーダンスは配線の抵抗値Rに等しくなる。共振回路部4を構成する配線材料としては、配線抵抗値の低いものを選択するのが望ましい。

【0038】

例えば、電気比抵抗の低いCu（ $1.55 \times 10^{-6} \Omega \cdot \text{cm}$ ）、Al（ $2.65 \times 10^{-6} \Omega \cdot \text{cm}$ ）、Au（ $2.2 \times 10^{-6} \Omega \cdot \text{cm}$ ）、Ag（ $1.62 \times 10^{-6} \Omega \cdot \text{cm}$ ）等を用いるのが望ましい。これらをメッキとして用いてもよいし、積層させて用いてもよい。

【0039】

一方、IDタグ2は、少なくとも入力用アンテナ20、出力用アンテナ21、入力用インターフェース22、出力用インターフェース23及びCPU30、コプロセッサ31、ROM32、RAM33、不揮発性メモリ34等の各種回路及びこれらを接続するバス28からなる構成を有している。なお各種アンテナの数は、図2に示した数に限定されない。また、アンテナの形状も、コイル状に限定されない。

【0040】

入力用インターフェース22には、少なくとも整流回路24と、復調回路25とが設けられている。入力用アンテナ20から入力された交流の電源電圧は、整流回路24において直流の電源電圧に整流化され、バス28を介して、上記各種回路に供給される。また、入力用アンテナ20から入力された交流の各種信号は、復調回路25において復調される。そして復調されることで波形整形された各種信号は、バス28を介して、上記各種回路に供給される。

【0041】

ここで、コプロセッサ31とは、薄膜集積回路部29の全ての処理を制御するにあたり、メインとなるCPU30の動きを助ける副プロセッサの役割を担っている。通常、暗号処理専用の演算装置として機能し、決済等のアプリケーションを行う際に必要となる暗号処理を行うことができる。また、不揮発性メモリ34としては、情報を複数回書き換えることができるEPROM、EEPROM、UV-EPROM、フラッシュメモリ、FRAM等を用いるのがよい。

【0042】

なお、IDタグ2に搭載される上記メモリは、その機能、性質により、プログラムメモリ（プログラムが格納されている領域）、作業メモリ（プログラム実行の過程で一時的にデータを保存しておく領域）、データメモリ（商品固有の情報のほか、プログラムが扱う固定的なデータを格納する領域）に分別される。通常、プログラムメモリとしてはROMを、作業メモリとしてはRAMを用いる。また、RAMは、R/Wとの間の通信時のバッファとしても機能する。また、信号として入力されたデータを定められたアドレスに記憶するためには、通常EEPROMが用いられる。

【0043】

復調回路25において復調された各種信号が、各種回路に供給された後、メモリ内に記憶された商品固有の情報は、上記各種回路において信号に置換される。さらに、出力用インターフェース23において変調され、出力用アンテナ21によって、共振回路部4を介

してR/W5に送信される。

【0044】

出力用インターフェース23には、少なくとも変調回路26と、アンプ27とが設けられている。各種回路から出力用インターフェース23に入力された各種信号は、変調回路26において変調され、アンプ27において増幅または緩衝増幅された後、出力用アンテナ21からR/W5のような端末装置に送られる。R/W5の入力用アンテナ15は、IDタグ2から発信された信号を受信し、入力用インターフェース13で、復調された後、コントローラ11を介してコンピュータ9に送られ、データ処理が行われることにより、商品固有の情報を認識することができる。

【0045】

さらに、読み取った情報は、コンピュータ9に接続されたデータベース10に蓄積することもできる。また、反対に、データベース10に蓄積されている情報をR/W5を通じて、IDタグ2に書き込むこともできる。

【0046】

なお、コンピュータ9は、商品に関する情報を処理する機能を有するソフトを備えているが、勿論ハードで情報処理を行ってもよい。その結果、従来のようにバーコードを一つずつ読み取る作業と比較して、情報処理に費やす時間、労力やミスが低減され、商品管理への負担が軽減される。

【0047】

なお、図2に示す各種回路は一形態を示したに過ぎず、IDタグ2や、R/W5に搭載される各種回路は上記回路に限定されない。なお、図2では、非接触型としてアンテナを用いた例を示したが、これに限定されるものではなく、発光素子や光センサ等を用いて光でデータの送受信を行うようにしても良い。

【0048】

また、図2では、整流回路24、復調回路25、変調回路26などのアナログ回路を含む入力用インターフェース22及び出力用インターフェース23並びにCPU30、各種メモリ等を、一の薄膜集積回路部29として形成したが、本構成は一例であり、本発明はこの構成に限定されない。薄膜集積回路部29という総称は、各構成要素がTF Tに代表される薄膜能動素子を含んでいることを意味しているが、すべての構成要素をTF Tで作製する必要はなく、少なくとも一の構成要素をTF T等で作製すればよい。例えば、整流回路24、復調回路25、変調回路26などのアナログ回路を含む入力用インターフェース22及び出力用インターフェース23を、従来通りシリコンウエハ上に形成し、CPU30、各種メモリ等を、TF Tによって形成される薄膜集積回路で形成することができる。

【0049】

このように、IDタグ2の少なくとも一部の構成要素に、TF T等の薄膜能動素子からなる薄膜集積回路部を用いた場合には、従来のシリコン基板上に形成されたICチップのように、裏面研磨を行う必要がなく、工程を大幅に簡略化でき、かつ製造コストを大幅に削減することができる等の利点がある。また、薄膜集積回路部の形成にあたり、物理的又は化学的剥離方法を採用した場合には、被剥離基板として、シリコン基板よりも安価なガラス基板、石英基板、太陽電池級シリコン基板（太陽電池グレードシリコン基板）等を用いることができ、さらに、被剥離基板を再利用することもできるため、大幅にコスト低減を図ることができる。

【0050】

なお、薄膜集積回路部29は、入力用アンテナ20及び出力用アンテナ21が一体形成されたものとしても良い。また、入力用アンテナ20及び出力用アンテナ21を区別せずに、一つのアンテナで入力用と出力用を兼ねても良い。

【0051】

なお図2では、端末装置であるR/W5から電源電圧が供給されている例について示したが、本発明はこれに限定されない。例えば、図示しないが、IDタグ2に太陽電池が設

けられていても良い。また、リチウム電池等の超薄型の電池を内蔵していても良い。

【0052】

なお、R/W5の集積回路部16（少なくとも出力用インターフェース12、入力用インターフェース13を含む）は、従来通りシリコンウエハ上に形成されたICを用いてもよいが、小型・薄型のR/W5としたい場合には、IDタグ2の薄膜集積回路部29と同様に、薄膜トランジスタ（TFT）のごとき薄膜能動素子（薄膜非線形素子）からなる薄膜集積回路を用いることもできる。

【0053】

R/W5の構成要素として薄膜集積回路を用いた場合には、IDタグ2において薄膜集積回路部29を用いた場合と同様に、上記作用効果を得ることができる。

【0054】

なお、集積回路部16は、出力用アンテナ14及び入力用アンテナ15が一体形成されたものとしても良い。また、出力用アンテナ14及び入力用アンテナ15を区別せずに、一つのアンテナで出力用と入力用を兼ねても良い。

【実施例1】

【0055】

本実施例では、図3を参照して、本発明の適用例について説明する。図3は、空港等における手荷物検査の状況を示している。ここでは、旅行者等が所有するスーツケース35が包装体の役割を果たしている。そして、スーツケース35には、少なくとも一つの共振回路部4が形成されている。共振回路部4は、スーツケース35の外側に形成されていても良いが、外力による剥離や、窃盗防止のため、内側又はカバーの内部に形成するのがよい。スーツケース35の内部には、商品1等の手荷物が梱包されている。そして、それぞれの商品には、IDタグ2が付されている。

【0056】

商品1を積載したスーツケース35等の手荷物は、コンベア37によって搬送される。そして、これらの手荷物がR/W5のアンテナ部6に到達すると、スーツケース35に設けられた共振回路部4は、R/W5から電磁波を受信し、さらにIDタグ2へと電磁波を発信する。このように、共振回路部4は、R/W5とIDタグ2との電磁波のやりとりの中継点の役割を果たす。

【0057】

共振回路部4は、図2に示すように、少なくとも、インダクタンスとして機能するアンテナコイル18と、コンデンサ19とを有している。そして、共振回路部4は、R/W5から発信される電磁波の周波数と、同程度の周波数で共振するように設計される。すなわち、共振回路部4を構成するアンテナコイル18のインダクタンスLと、コンデンサ19の静電容量Cの値を調整して、R/W5と共振するようにする。

【0058】

スーツケース35に形成された共振回路部4は、R/W5と同程度の周波数で共振するために、R/W5から効率良く交流電磁波を受信することができる。さらに、共振回路部4は、IDタグ2との間において、電磁結合方式、電磁誘導方式、静電結合方式等により、IDタグ2への電力供給、及びIDタグ2と共振回路部4の間（すなわち、IDタグ2とR/W5の間）における信号送受信を行う。

【0059】

このように、共振回路部4を介して、R/W5、IDタグ2間で、信号の送受信を行うことにより、IDタグ2に記憶された情報の読み出し、消去、IDタグ2への情報の書き込み、変更等を確実に行うことができる。しかも、本発明に係る手荷物に含まれる商品の検査システムは、商品1を梱包するスーツケース35等の包装体に共振回路部4が設けられていることにより、R/W5と、商品1に付されたIDタグ2の間における指向性（ある一定の方向にのみ進む性質、又はある一定の方向からのみ受け入れる性質）による通信不能、通信不安定性を解消することができ、両者間の通信を確実に行うことができる。

【0060】

なお、アンテナ部6で受信したIDタグ2に記憶された情報は、R/W5内に接続されたコンピュータ9によって処理される。また、スーツケース35等の手荷物に付された荷札36が、IDタグである場合には、商品1に付されたIDタグ2に記憶された情報をR/W5によって読み書きすると同時に、荷札36に記憶された情報をR/W5で読み書きすることも可能である。

【0061】

なお、R/W5又はコンピュータ9には、必要に応じて表示画面を設け、読み取った商品1に関する情報や荷札36の情報が適宜表示されるようにしてもよい。例えば、商品すべてに関する製品名、原産国、重量、価格等の情報や、荷札36に記憶された出発地、経由地、目的地等の情報が表示される。

【0062】

さらに、コンピュータ9には、データベース10を接続しておいても良い。そして、R/W5読み取った商品1の情報と、データベースに蓄積された商品の情報とを照らし合わせて、スーツケース35内の商品1がいわゆる適正品（偽造品や危険物等でない商品）であることを瞬時に判別することができる。また、手荷物全体の重量と、R/W5で読み取った（又はデータベースとの照合によって得た）商品全体の重量とが、一致するか否かによって、データベースに蓄積されていない不正商品等の保持を認識することができる。これによって、不正商品を水際で取り締まることができ、不正商品の密輸や、テロを未然に防止することができる。

【実施例2】

【0063】

本実施例では、図4を参照して、本発明の他の適用例について説明する。図4は、包装体3に梱包された商品1を、トラック等の運搬用車両38に積載した状態を示している。商品1には、IDタグ2が付され、包装体3には共振回路部4（本実施例において、以下「第1共振回路部」という。）が形成されている。さらに、運搬用車両38の扉部分又はフレーム部分には、少なくとも一つの共振回路部4とは別の共振回路部39（本実施例において、以下「第2共振回路部」という。）が設けられている。第1共振回路部は、包装体3の外側に形成されていても良いが、外力による剥離や、窃盗防止のため、内側又はカバーの内部に形成するのがよい。また、第2共振回路部は、運搬用車両38の扉部分又はフレーム部分の外側に形成されていても良いが、外力による剥離や、窃盗防止のため、内側又はカバーの内部に形成するのがよい。

【0064】

R/W5を用いて、運搬用車両38の外部からIDタグ2に記憶された商品1に関する情報を読み書きする場合、R/W5のアンテナ部6から発振された電磁波は、第2共振回路部によって受信され、さらに、第1共振回路部への伝播する。そして、第1共振回路部へと伝播した電磁波は、さらにIDタグ2へと伝播する。第2共振回路部の付近にあるIDタグ2へは、第2共振回路部から直接IDタグ2へ電磁波が伝播する場合もある。また、R/W5からの電磁波を第1共振回路部又はIDタグ2が、直接受信する場合もある。しかし、第2共振回路部を設けることによって、R/W5と、商品1に付されたIDタグ2の間における指向性（ある一定の方向にのみ進む性質、又はある一定の方向からのみ受け入れる性質）による通信不能、通信不安定性を解消することができ、両者間の通信を確実に行うことができる。

【0065】

第1及び第2共振回路部は、図2に示すのと同様に、少なくとも、インダクタンスとして機能するアンテナコイルと、コンデンサとを有している。そして、各共振回路部は、R/W5から発信される電磁波の周波数と、同程度の周波数で共振するように設計される。すなわち、各共振回路部を構成するアンテナコイルのインダクタンスLと、コンデンサの静電容量Cの値を調整して、R/W5と共振するようにする。

【0066】

第1及び第2の共振回路部は、R/W5と同程度の周波数で共振するために、R/W5

から効率良く交流電磁波を受信することができる。さらに、第2共振回路部と第1共振回路部、第1共振回路部とIDタグ、第2共振回路部とIDタグの各々の間においては、電磁結合方式、電磁誘導方式、静電結合方式等により、IDタグ2への電力供給、及びIDタグ2と各共振回路部の間（すなわち、IDタグ2とR/W5の間）における信号送受信を行う。なお、R/W5とIDタグとの通信は、運搬用車両38が停止している状態であっても、走行している状態であっても可能である。

【0067】

このように、商品1が複数の障壁（ここでは、包装体3及び運搬用車両38）によって覆われている場合には、各障壁に設けられた共振回路部を介して、R/W5、IDタグ2間で、信号の送受信を行うことにより、IDタグ2に記憶された情報の読み出し、消去、IDタグ2への情報の書き込み、変更等を実行することができる。

【0068】

なお、アンテナ部6で受信したIDタグ2に記憶された情報は、R/W5内に接続されたコンピュータ9によって処理される。なお、R/W5には、必要に応じて表示部7を設け、読み取った商品1に関する情報が適宜表示されるようにしてもよい。例えば、商品1に関する製品名、数量、出荷先、出荷元、原産国、生産者、生産時期等の情報が表示される。また、表示画面は、コンピュータ9に設けても良い。また、R/W5には、操作キー8が設けられており、IDタグ2との通信のON/OFFや、読み出した情報の選択、削除等が可能となる。

【0069】

さらに、コンピュータ9には、データベース10を接続しておいても良い。そして、R/W5読み取った商品1の情報と、データベースに蓄積された商品の情報とを照らし合わせるすることができる。

【実施例3】

【0070】

本実施例では、図5を参照して、本発明における通信方法の例について説明する。

【0071】

本発明における通信方法としては、R/W5と共振回路部4、共振回路部4とIDタグ2との間の通信方式が同じ場合と、異なる場合とがある。同じ通信方式を採用する場合、例えば図5（A）に示すように、ともに電磁誘導方式（通信距離は一般的に1m程度以下）を採用することができる。電磁誘導方式を用いる場合、使用周波数は、135KHz未満のものから、13.56MHz以上のものまで幅広く採用することができる。代表的には、4.9MHz、13.56MHz、900MHz帯が用いられる。

【0072】

また、同じ通信方式を採用する場合、共振回路部4が、何らかの理由により機能しなくなった場合であっても、R/W5とIDタグ2が直接電磁波のやりとりを行うことにより、通信を行うことも可能である。

【0073】

また、異なる通信方式を採用する場合、例えば図5（B）に示すように、R/W5、共振回路部4間は電磁誘導方式を採用し、共振回路部4、IDタグ2間は、電磁誘導方式よりもやや通信距離が短い電磁結合方式（通信距離は一般的に数10mm以下）を採用することができる。電磁結合方式を用いる場合、電磁誘導方式と同程度の周波数を採用することができる。

【0074】

また、図5（C）に示すように、R/W5、共振回路部4間はマイクロ波方式（通信距離は一般的に3m程度以下）を採用し、共振回路部4、IDタグ2間は、マイクロ波方式よりも通信距離が短い電磁誘導方式又は電磁結合方式を採用することができる。マイクロ波方式を用いる場合、使用周波数は、一般的に、2.45GHz帯を用いる。

【0075】

特に、R/W5と共振回路部4との間の通信方式として、電磁誘導方式又はマイクロ波

方式を採用し、R/W5と共振回路部4との間の交信距離が、共振回路部4とIDタグ2との間の交信距離よりも長くなるようにすると、より遠くのR/W5からも、IDタグ2と通信を行うことができる。

【0076】

なお、電磁波が共振回路部4を通過する前後で、通信方式が変わる場合には、通信方式に応じて、共振回路部4のアンテナコイル及びコンデンサ等の回路要素及びその配列を変更すればよい。

【0077】

勿論、本発明において、通信方式の組合せは上記に限定されるものではない。外にも、静電結合方式や光通信方式を組み合わせても良い。

【0078】

また、実施例2に示すように、共振回路部を二重、三重に設ける場合にも、上記通信方式を適宜組み合わせることができる。ただし、R/W5と、共振回路部との距離ができるだけ長くなるように、設計するのが望ましい。

【実施例4】

【0079】

本実施例では、図6を参照して、本発明におけるIDタグ2の構成の一例について、具体的に説明する。図6は、IDタグ2の概略図であり、IDタグ2は、電源回路214、入出力回路215、アンテナ回路216、論理回路210、増幅器211、クロック生成回路・デコーダ212、メモリ213等から構成される。アンテナ回路216は、アンテナ配線201と、アンテナ容量202とを有している。

【0080】

IDタグは独自の電源を持たない代わりに、R/W5から発せられる電磁波17を受け取ることで電力が供給され動作する。R/W5からの電磁波17をアンテナ回路216が受け取ると、第1の容量手段203、第1のダイオード204及び第3のダイオード207、第3の容量手段208等によって構成される入出力回路215により、検波出力信号として検出される。この信号は増幅器211によって十分大きな振幅に増幅された後、クロック生成回路・デコーダ212によってクロックとデータ・命令に分離され、送られた命令を論理回路210で解読し、メモリ213内のデータの返答、必要事項のメモリへの書き込み等を行う。

【0081】

返答は論理回路210の出力によってスイッチング素子209をオン／オフすることによって行う。これによってアンテナ回路216のインピーダンスが変化して結果としてアンテナ回路216の反射率を変化させる。R/W5はアンテナ回路216の反射率の変化をモニターすることで、IDチップからの情報を読み取る。

【0082】

IDタグ2内の各回路で消費する電力は電源回路214により受信した電磁波17を検波、平滑することで生じる直流電源VDDによって供給される。入出力回路215と同様、第1のダイオード204と第2のダイオード205と第2の容量手段206によって構成されるが、第2の容量手段206は各回路に電力を供給するために十分大きな値を設定している。

【実施例5】

【0083】

本実施例では、図7～10を参照して、IDタグ2の具体的な作製方法について説明する。ここでは、簡単のため、n型TFETとp型TFETを用いたCPUとメモリ部分の断面構造を示すことによって、その作製方法について説明する。

【0084】

まず、基板40上に、複数のTFET、保護膜、各種配線、アンテナ（少なくともこれらを含む素子・回路を総称して、以下「薄膜集積回路部」という）を形成する。

【0085】

まず、基板40上に、剥離層41を形成する(図7(A))。ここでは、ガラス基板(例えば、コーニング社製1737基板)上に、50nm(500Å)の膜厚のa-Si膜(非晶質シリコン膜)をスパッタ法により形成した。なお、基板としては、ガラス基板の他にも、石英基板、アルミナなど絶縁物質で形成される基板、シリコンウエハ基板、熱酸化シリコン基板、SIMOX基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いることができる。

【0086】

また、剥離層としては、非晶質シリコンの他に、多結晶シリコン、単結晶シリコン、SAS(セミアモルファスシリコン(微結晶シリコン、マイクロクリスタルシリコンともいう。))等、シリコンを主成分とする層を用いることができる。これらの剥離層は、スパッタ法の他にも、CVD法等によって形成しても良い。また、剥離層の膜厚は、500~540Åとするのが望ましい。SASに関しては、300~500Åとしてもよい。

【0087】

次に、剥離層41上に、保護膜42(下地膜、下地絶縁膜と呼ぶこともある。)を形成する(図7(A))。ここでは、膜厚100nmのSiON膜\膜厚50nmのSiNO膜\膜厚100nmのSiON膜の3層構造としたが、材質、膜厚、積層数は、これに限定されるものではない。例えば、下層のSiON膜に代えて、膜厚0.5~3μmのシロキサン等の耐熱性樹脂をスピンコート法、スリットコーター法、液滴吐出法などによって形成しても良い。また、窒化珪素膜(SiN、Si₃N₄等)を用いてもよい。また、それぞれの膜厚は、0.05~3μmとするのが望ましく、その範囲から自由に選択することができる。

【0088】

ここで、酸化珪素膜は、SiH₄/O₂、TEOS(テトラエトキシシラン)/O₂等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、SiH₄/NH₃の混合ガスを用い、プラズマCVDによって形成することができる。また、SiON膜又はSiNO膜は、代表的には、SiH₄/N₂Oの混合ガスを用い、プラズマCVDによって形成することができる。

【0089】

なお、剥離層41及び後述する島状半導体膜43として、a-Si等の珪素を主成分とする材料を用いる場合には、それらに接する保護膜42としては、密着性確保の点から、SiO_xN_yを用いてもよい。

【0090】

次に、保護膜42上に、薄膜集積回路部のCPUやメモリを構成する薄膜トランジスタ(TFT)を形成する。なお、TFT以外にも、有機TFT、薄膜ダイオード等の薄膜能動素子を形成することもできる。

【0091】

TFTの作製方法として、まず、保護膜42上に、島状半導体膜43を形成する(図7(B))。島状半導体膜43は、アモルファス半導体、結晶性半導体、又はセミアモルファス半導体で形成する。いずれも、シリコン、シリコン・ゲルマニウム(SiGe)等を主成分とする半導体膜を用いることができる。

【0092】

ここでは、70nmの膜厚のアモルファスシリコンを形成し、さらにその表面をニッケルを含む溶液で処理した。さらに、500~750℃の熱結晶化工程によって結晶質シリコン半導体膜を得、レーザ結晶化を行って結晶性の改善を施した。また、成膜方法としては、プラズマCVD法、スパッタ法、LPCVD法などを用いても良い。結晶化方法としては、レーザ結晶化法、熱結晶化法、他の触媒(Fe, Ru, Rh, Pd, Pt, Os, Ir, Pt, Cu, Au等)を用いた熱結晶化、あるいはそれらを交互に複数回行っても良い。

【0093】

また、非晶質構造を有する半導体膜の結晶化処理としては、連続発振のレーザを用いても良く、結晶化に際し大粒径の結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を適用するのが好ましい（この場合の結晶化をCWL Cという。）。代表的には、Nd:YVO₄レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用すればよい。連続発振のレーザを用いる場合には、出力10Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶又はGdVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、10～2000cm/s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

【0094】

また、パルス発振のレーザを用いる場合、通常、数十Hz～数百Hzの周波数帯を用いるが、それよりも著しく高い10MHz以上の発振周波数を有するパルス発振レーザを用いてもよい（この場合の結晶化をMHzLCという。）。パルス発振でレーザ光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十nsec～数百nsecとされているため、上記高周波数帯を用いることで、半導体膜がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。よって、従来のパルス発振のレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10～30μm、走査方向に対して垂直な方向における幅が1～5μm程度の結晶粒の集合を形成することができる。該走査方向に沿って長く延びた単結晶の結晶粒を形成することで、少なくともTF Tのチャネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

【0095】

なお、保護膜42の一部に耐熱性有機樹脂であるシロキサンを用いた場合には、上記結晶化の際に、半導体膜中から熱が漏れることを防止することができ、効率よく結晶化を行うことができる。

【0096】

上記の方法によって結晶性シリコン半導体膜を得る。なお、結晶は、ソース、チャネル、ドレイン方向にそろっていることが望ましい。また、結晶層の厚さは、20～200nm（代表的には40～170nm、さらに好ましくは、50～150nm）となるようにするのがよい。その後、半導体膜上に酸化膜を介して、金属触媒をゲッタリングするためのアモルファスシリコン膜を成膜し、500～750℃の熱処理によってゲッタリング処理を行った。さらに、TF T素子としての閾値を制御するために、結晶性シリコン半導体膜に対し、10¹³/cm²オーダーのドーザ量のホウ素イオンを注入した。その後、レジストをマスクとしてエッチングを行うことにより、島状半導体膜43を形成した。

【0097】

なお、結晶性半導体膜を形成するにあたっては、ジシラン（Si₂H₆）とフッ化ゲルマニウム（GeF₄）の原料ガスとして、LPCVD（減圧CVD）法によって、多結晶半導体膜を直接形成することによっても、結晶性半導体膜を得ることができる。ガス流量比は、Si₂H₆/GeF₄=20/0.9、成膜温度は400～500℃、キャリアガスとしてHe又はArを用いたが、これに限定されるものではない。

【0098】

なお、TF T内の特にチャネル領域には、1×10¹⁹～1×10²²cm⁻³、好ましくは1×10¹⁹～5×10²⁰cm⁻³の水素又はハロゲンが添加されているのがよい。SASに関しては、1×10¹⁹～2×10²¹cm⁻³とするのが望ましい。いずれにしても、ICチップに用いられる単結晶に含まれる水素又はハロゲンの含有量よりも多く含有させておくことが望ましい。これにより、TF T部に局部クラックが生じて、水素又はハロゲンに

よってターミネット（終端）されうる。

【0099】

なお、SAS（セミアモルファス半導体）等を用いた場合には、半導体膜の結晶化工程（高温加熱処理工程）を省略することも可能であり、この場合には、チップをフレキシブル基板上に直接形成することも可能である。また、本発明においては、原則としてシリコンウエハは用いないが、フレキシブル基板等へ転写する前の被剥離基板として、用いることは可能である。

【0100】

次に、島状半導体膜43上にゲート絶縁膜44を形成する（図7（B））。ゲート絶縁膜はプラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成することが好ましい。積層する場合には、例えば、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのがよい。

【0101】

次に、ゲート電極46を形成する（図7（C））。ここでは、SiとW（タングステン）をスパッタ法により積層形成した後に、レジスト45をマスクとしてエッチングを行うことにより、ゲート電極46を形成した。勿論、ゲート電極46の材料、構造、作製方法は、これに限定されるものではなく、適宜選択することができる。例えば、n型不純物がドーピングされた又はされていないSiとNiSi（ニッケルシリサイド）との積層構造や、Ta₂N（窒化タンタル）とW（タングステン）の積層構造としてもよい。また、種々の導電材料を用いて単層で形成しても良い。

【0102】

また、レジストマスクの代わりに、SiO_x等のマスクを用いてもよい。この場合、SiO_x、SiON等のマスク（ハードマスクと呼ばれる。）をパターニング形成工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅のゲート電極層を形成することができる。また、レジスト45を用いずに、液滴吐出法を用いて選択的にゲート電極46を形成しても良い。

【0103】

導電材料としては、導電膜の機能に応じて種々の材料を選択することができる。また、ゲート電極とアンテナとを同時に形成する場合には、それらの機能を考慮して材料を選択すればよい。

【0104】

なお、ゲート電極をエッチング形成する際のエッチングガスとしては、CF₄、Cl₂、O₂の混合ガスやCl₂ガスを用いたが、これに限定されるものではない。

【0105】

次に、p型TF₂54、56となる部分をレジスト47で覆い、ゲート電極をマスクとして、n型TF₂53、55の島状半導体膜中に、n型を付与する不純物元素48（代表的にはP（リン）又はAs（砒素））を低濃度にドーピングする（第1のドーピング工程、図7（D））。第1のドーピング工程の条件は、ドーズ量： $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧：50～70keVとしたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜44を介してスルードーピングがなされ、一対の低濃度不純物領域49が形成される。なお、第1のドーピング工程は、p型TF₂領域をレジストで覆わずに、全面に行っても良い。

【0106】

次に、レジスト47をアッシング等により除去した後、n型TF₂領域を覆うレジスト50を新たに形成し、ゲート電極をマスクとして、p型TF₂54、56の島状半導体膜中に、p型を付与する不純物元素51（代表的にはB（ホウ素））を高濃度にドーピングする（第2のドーピング工程、図7（E））。第2のドーピング工程の条件は、ドーズ量： $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧：20～40keVとして行う。この第2のドーピング工程によって、ゲート絶縁膜44を介してスルードーピングがなされ、一対のp型の

高濃度不純物領域52が形成される。

【0107】

次に、レジスト50をアッシング等により除去した後、基板表面に、絶縁膜59を形成した(図8(F))。ここでは、膜厚100nmの SiO_2 膜をプラズマCVD法によって形成した。その後、絶縁膜59、ゲート絶縁膜44をエッチング除去し、サイドウォール(側壁)60を自己整合的(セルフアライン)に形成した(図8(G))。エッチングガスとしては、 CHF_3 とHeの混合ガスを用いた。

【0108】

なお、サイドウォール60を形成する工程は、これらに限定されるものではない。例えば、絶縁膜59を形成した後、基板全面をレジストで覆い、エッチバック法により、レジスト、絶縁膜59、ゲート絶縁膜44をエッチング除去し、サイドウォール60を自己整合的に形成してもよい。また、絶縁膜59が、その成膜方法の特徴上、基板の両面に形成されてしまう場合には、該レジストをマスクとして裏面処理を行い、基板裏面に成膜された絶縁膜を除去した後に、エッチバック処理を行っても良い。

【0109】

また、絶縁膜59は、二層又はそれ以上の積層構造としてもよい。例えば、膜厚100nmの SiON (酸窒化珪素)膜と、膜厚200nmのLTO膜(Low Temperature Oxide、低温酸化膜)の2層構造とした。ここでは、 SiON 膜は、プラズマCVD法で形成し、LTO膜としては、 SiO_2 膜を減圧CVD法で形成する。また、サイドウォール60の形状は、図8に示した形状に限定されない。例えば、L字状又はL字状と円弧状を組み合わせた形状としても良い。

【0110】

上記サイドウォールは、後に高濃度のn型不純物をドーピングし、サイドウォール60の下部に低濃度不純物領域又はノンドープのオフセット領域を形成する際のマスクとして機能するものであるが、上述したサイドウォールのいずれの形成方法においても、形成したい低濃度不純物領域又はオフセット領域の幅によって、エッチバックの条件を適宜変更すればよい。

【0111】

次に、p型TF T領域を覆うレジスト61を新たに形成し、ゲート電極46及びサイドウォール60をマスクとして、n型を付与する不純物元素62(代表的にはP又はAs)を高濃度にドーピングする(第3のドーピング工程、図8(H))。第3のドーピング工程の条件は、ドーズ量： $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧：60～100keVとして行う。この第3のドーピング工程によって、ゲート絶縁膜44を介してスルードープがなされ、一対のn型の高濃度不純物領域63が形成される。

【0112】

なお、レジスト61をアッシング等により除去した後、不純物領域の熱活性化を行っても良い。例えば、50nmの SiON 膜を成膜した後、550℃、4時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含む SiNx 膜を、100nmの膜厚に形成した後、410℃、1時間、窒素雰囲気下において、加熱処理を行うことにより、結晶性半導体膜の欠陥を改善することができる。これは、例えば、結晶性シリコン中に存在するダングリングボンドを終端させるものであり、水素化処理工程などと呼ばれる。さらに、この後、TF Tを保護するキャップ絶縁膜として、膜厚600nmの SiON 膜を形成してもよい。なお、水素化処理工程は、該 SiON 膜形成後に行っても良い。この場合、 $\text{SiNx} \backslash \text{SiON}$ 膜は連続成膜することができる。このように、TF T上には、 $\text{SiON} \backslash \text{SiNx} \backslash \text{SiON}$ の3層の絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。また、これらの絶縁膜は、TF Tを保護する機能をも有しているため、できるだけ形成しておくのが望ましい。

【0113】

次に、TF T上に、層間膜64を形成する(図8(I))。層間膜64としては、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂を用いることができる。

。形成方法としては、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、層間膜64を形成しても良い。

【0114】

さらに、層間膜64上に、保護膜65を形成しても良い。保護膜65としては、DLC（ダイヤモンドライクカーボン）或いは窒化炭素（CN）等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン等の耐熱性有機樹脂を用いてもよい。

【0115】

なお、層間膜64又は保護膜65と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、これらの膜の膜剥がれや割れが生じるのを防ぐために、層間膜64又は保護膜65中にフィラーを混入させておいても良い。

【0116】

次に、レジストを形成した後、エッチングによりコンタクトホールを開孔し、TF T同士を接続する配線66及びアンテナと接続される接続配線67を形成する（図8（I））。コンタクトホール開孔時のエッチングに用いられるガスは、 CHF_3 とHeの混合ガスを用いたが、これに限定されるものではない。

【0117】

配線66は、Ti\TiN\Al-Si\Ti\TiNの5層構造とし、スパッタ法によって形成した後、バターニング形成するのがよい。なお、Al層において、Siを混入させることにより、配線バターニング時のレジストベークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、バターニング時には、SiON等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極に用いられる材料を採用しても良い。

【0118】

上記において、配線66と接続配線67の材料は、同じでも異なっても良い。また、形成方法としては、スパッタ法によって全面成膜した後、レジストマスクを用いてバターニングを行ってもよいし、液滴吐出法によってノズルから選択的に形成しても良い。なお、ここでいう液滴吐出法には、インクジェット法のみならず、オフセット印刷法やスクリーン印刷等も含まれる。配線とアンテナは、同時に形成しても良いし、一方を先に形成した後に、他方が乗り上げるように形成しても良い。

【0119】

なお、本実施例では、CPU57、メモリ58等を構成するTF T領域と、アンテナ接続部68とを別々に形成する場合について示したが、TF T領域とアンテナと一体形成する場合にも、本実施例を適用できる。

【0120】

以上の工程を経て、TF Tからなる薄膜集積回路部が完成する。なお、本実施例では、トップゲート構造としたが、ボトムゲート構造（逆スタガ構造）としてもよい。なお、TF Tのような薄膜能動素子部（アクティブエレメント）の存在しない領域には、下地絶縁膜材料、層間絶縁膜材料、配線材料が主として設けられているが、該領域は、薄膜集積回路部全体の50%以上、好ましくは70~95%を占めていることが望ましい。これにより、完成品であるIDタグ2を曲げやすくし、取り扱いが容易となる。この場合、TF T部を含むアクティブエレメントの島状半導体領域（アイランド）は、薄膜集積回路部全体

の1～30%、好ましくは、5～15%を占めているのがよい。

【0121】

また、図8(I)に示すように、薄膜集積回路部におけるTFTの半導体層から下部の保護層までの距離(t_{under})と、半導体層から上部の層間膜(保護層が形成されている場合には該保護層)までの距離(t_{over})が、等しく又は概略等しくなるように、上下の保護層又は層間膜の厚さを調整するのが望ましい。このようにして、半導体層を薄膜集積回路部の中央に配置せしめることで、半導体層への応力を緩和することができ、クラックの発生を防止することができる。

【0122】

また、本実施例で作製したTFTのS値(サブスレッショールド値)は、0.35V/dec以下(好ましくは、0.07～0.25V/dec)、移動度は、 $10\text{ cm}^2\text{V}/\text{sec}$ 以上を有している。また、リングオシレータレベルで、1MHz以上、好ましくは10MHz以上の特性(3～5Vにおいて)を有している、又は、ゲートあたりの周波数特性を100kHz以上、好ましくは1MHz以上(3～5Vにおいて)有している。

【0123】

基板40上に、複数の薄膜集積回路部を形成したら(図9(J))、次に、ダイシングによって溝70を形成し、複数の薄膜集積回路部を個々のIDタグ毎に分離し、薄膜集積回路部69とする(図9(K))。この際、ダイシング装置(ダイサー;dicer)を用いるブレードダイシング法を用いるのが一般的である。ブレード(blade)とは、ダイヤモンド微粒を埋め込んだ砥石で、その幅は約30～50 μm であり、このブレードを高速回転させることにより、薄膜集積回路部を個々のIDタグ毎に分離する。また、ダイシングに必要なエリアをストリートと呼ぶが、このストリートの幅は、素子への損傷を考慮し、80～150 μm としておくのが望ましい。

【0124】

なお、ダイシングの他にも、スクライピング又はマスクを利用したエッチング等によって行うことができる。スクライピングの場合には、ダイヤモンドスクライピング法とレーザスクライピング法等がある。レーザスクライピング法を採用する場合には、レーザ共振器から、パルス発振のパワーが200～300Wの線状レーザ、例えばNd:YAGレーザであって、発振波長1064nmの基本波又は発振波長532nmの第2高調波等を用いることができる。

【0125】

また、エッチングの場合には、露光、現像工程によりマスクパターンを形成し、ドライエッチングにより素子分離を行うことができる。ドライエッチングにおいては、大気圧プラズマ法を用いてもよい。ドライエッチング用ガスとしては、 Cl_2 、 BCl_3 、 SiCl_4 もしくは CCl_4 などを代表とする塩素系ガス、 CF_4 、 SF_6 、 NF_3 、 CHF_3 などを代表とするフッ素系ガス、あるいは O_2 を用いたが、これらに限定されるものではない。なお、該エッチングは、大気圧プラズマを利用して行うこともできる。この際、エッチングガスとしては、 CF_4 と O_2 の混合ガスを用いるのがよい。また、ガス種の異なるエッチングを複数回行うことによって溝70を形成しても良い。勿論、ウェットエッチングによって、溝70を形成しても良い。

【0126】

なお、溝70を形成する場合、その深さは、少なくとも剥離層の表面が露出する程度とすればよく、基板40が繰り返し利用できるように、基板に傷が付かないように上記ダイシング等を適宜制御するのが望ましい。

【0127】

次に、突起部71を有するジグ(支持基板)72を、接着剤73を介して、個々の薄膜集積回路部69に取り付ける(図9(L))。ここで、ジグ(治具)とは、剥離層を除去した後に薄膜集積回路がバラバラに分離しないように、一時的に薄膜集積回路を固定する役割を有する。ジグ72の形状としては、図9(L)のように、後にハロゲン化フッ素を含む気体又は液体の導入を容易にするために、突起部71を設けた櫛状の構造とするのが

望ましいが、平坦なジグを用いても構わない。また、さらに好ましくは、後にハロゲン化フッ素を含む気体又は液体の導入を容易にするための、開口部74を設けておいても良い。

【0128】

ジグ72としては、ハロゲン化フッ素によって冒されない酸化珪素を主成分とするガラス基板、石英基板、ステンレス（SUS）基板等を用いることができるが、ハロゲン化フッ素によって冒されない材料であれば、これらに限定されるものではない。

【0129】

ここで、接着剤73としては、代表的には、UV光照射によって接着力（粘着力）が低下又は喪失する材料を用いることができる。ここでは、日東電工社製UV照射剥離テープを用いた。これ以外にも、3M社製のポストイット（登録商標）製品や、ムーア社製ノートスティックス（登録商標）製品等に用いられる再剥離再接着可能な接着剤を用いても構わない。例えば、特開2001-30403、特許2992092、特開平6-299127に記載された、アクリル系粘着剤、合成ゴム系粘着剤、天然ゴム系粘着剤等を用いることができる。勿論、ジグ72を簡単に取り外すことができる材料であれば、これらに限定されるものではなく、UV光等の光照射を必要とせずに、剥離できるものを用いてもよい。

【0130】

次に、溝70にハロゲン化フッ素ガス75を導入することにより、剥離層であるa-Si膜をエッチング除去した（図10（M））。ここでは、図11に示すような減圧CVD装置を用い、ガス： CF_3 （三フッ化塩素）、温度：350℃、流量：300sccm、気圧：6Torr、時間：3hの条件で行ったが、この条件に限定されるものではない。また、 CF_3 ガスに窒素を混ぜたガスを用いてもよい。両者の流量比は適宜設定することができる。なお、 CF_3 以外にも、 BrF_3 、 ClF_2 等のガスを用いてもよい。

【0131】

ここで、図12に示す減圧CVD装置は、反応空間であるベルジャー86内に、 CF_3 ガス等のハロゲン化フッ素ガス75が導入され、ガスが基板87に行き渡る仕組みになっている。ベルジャーの外部にはヒーター88が設けられている。また、残余ガスは、排気管89から排出される。

【0132】

ここで、 CF_3 等のハロゲン化フッ素は、珪素を選択的にエッチングするという特性がある反面、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸窒化珪素（ SiO_xN_y 又は SiN_xO_y ）はほとんどエッチングされない。したがって、時間の経過とともに剥離層41はエッチングされ、最終的に基板40を剥離することができる（図10（N））。一方、酸化珪素、窒化珪素、酸窒化珪素等や、耐熱性樹脂からなる下地膜である保護膜や、層間膜、保護膜はほとんどエッチングされないため、薄膜集積回路への損傷を防止することができる。なお、剥離した基板40は勿論再利用することができ、従来のようにシリコンウエハを研磨する場合に比べて、大幅なコスト削減に繋がる。

【0133】

次に、UV光照射を行うことにより、接着剤73の粘着力を低下又は喪失させ、ジグ72と、薄膜集積回路部69とを分離する。なお、ジグ72は、コスト削減のため、再利用するのが望ましい。

【0134】

上記方法によって個々のIDタグ毎に分離された薄膜集積回路部69は、小型真空ピンセット等により搬送され、例えば、図11に示すコーティングを行って、IDタグ2が完成する。

【0135】

図11は、本発明におけるIDタグ2の製造ラインを示した模式図及び完成品の拡大図を示したものである。まず、図11（A）に示すように、IDタグ2のインレット基体81（図11（B）参照）となる材料を基体供給手段76から供給する。インレット基体8

1 は、単層構造でも積層構造でもよい。

【0136】

インレット基体81には、予めアンテナ82が形成されている。アンテナ82の導電材料としては、代表的には、Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co若しくはTi、又はそれらを含む合金を用いることができる。なお、アンテナ82は、展性、延性に富む金属材料を有するように形成し、更に好ましくは膜厚を厚くして変形による応力に耐えるようにするのが望ましい。なお、アンテナ82を形成した後、さらに保護膜で覆っても良い。

【0137】

アンテナ82の形成方法としては、スパッタ法によって全面成膜した後、レジストマスクを用いてパターニングを行ってもよいし、液滴吐出法によってノズルから選択的に形成しても良い。なお、ここでいう液滴吐出法には、インクジェット法のみならず、オフセット印刷法やスクリーン印刷等も含まれる。

【0138】

次に、インレット基体81の所望の位置に、貼付手段77によって薄膜集積回路部69を貼り付ける。この際、適宜、接着方法として、異方性導電膜(ACF; Anisotropic Conductive Film)や、超音波接着法、UV接着法等を用いる。インレット基体81が帯状に連なっているときは、基体分離手段78によって、インレット基体を個々のIDタグ毎に分離する。そして、ラミネート加工装置79によって、個々のインレット基体81の周囲をラミネート加工する。この際、予め薄膜集積回路部69の周囲をフィラー84を含む充填層83で覆っておくのがよい。また、ラミネート樹脂層85中に、予めフィラーを充填させておいてもよい。

【0139】

かくして、IDタグ2が完成する。なお、帯状の基体の所望の位置に薄膜集積回路部69を形成し、ラミネート加工を行った後に、個々のIDタグ毎に分離しても良い。ラミネート加工されたIDタグ2は、回収手段80によって回収される。

【0140】

なお、薄膜集積回路部69のコーティング手段は、ラミネート法に限定されるものではない。また、コーティング材料も、紙、樹脂など、あらゆる材料を適宜採用することができる。例えば、プラスチックのように、可撓性を有する、すなわちフレキシブルな樹脂材料を用いると、取り扱いが容易になる。

【0141】

図11(B)は、本実施例によって作製されたIDタグ2の完成品の断面拡大図である。インレット基体81には、アンテナ82と、アンテナ82に接続された薄膜集積回路部69が形成されており、フィラー84を含む充填層83を介して、ラミネート樹脂層85に覆われている。アンテナ82と薄膜集積回路部69とは、直接接続しても良いし、間に導電体からなる接続パッド部を形成しても良い。

【0142】

なお、ラミネート加工時の加熱処理等において、薄膜集積回路部69やアンテナ82を保護するために、充填層83は、シロキサンのような体熱性有機樹脂を用いるのが望ましい。また、別途保護膜を形成しておいてもよい。保護膜としては、DLC(ダイヤモンドライクカーボン)或いは窒化炭素(CN)等の炭素を有する膜、又は窒化珪素膜或いは窒化酸化珪素膜等を用いることができるが、これに限定されるものではない。形成方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。

【0143】

本実施例においては、基板を剥離する方法として、複数の薄膜集積回路が形成された基板にストレスを与え、基板を物理的に剥離する方法を採用しても良い。この場合には、剥離層として、W、SiO₂、WO₃等を用いることができる。ストレスを与えるには、ダイヤモンドペン等で衝撃を与えればよい。

【0144】

以上、ＩＤタグ２の作製方法について説明したが、上記実施形態又は実施例における共振回路部４、３９についても、その集積回路部を薄膜で形成し、上記剥離方法を用いて分離形成しても良い。

【０１４５】

なお、本実施例は、他の実施形態、実施例と自由に組み合わせることができる。

【実施例６】

【０１４６】

本実施例では、図１３を参照して、実施例５において、ハロゲン化フッ素ガスによって薄膜集積回路部の分離を行った後に、薄膜集積回路部６９に接着されたジグ７２を取り外さずに、直接、ＩＤタグのインレット基体８１に転写、接着する方法について説明する。

【０１４７】

まず、実施例５の要領で、複数の薄膜集積回路部６９を形成し、接着剤７３を介してジグ７２を取り付ける。ジグ７２としては、図１３（Ａ）に示すように、突起部７１を有するものを用いた。接着剤７３としては、ここでは、ＵＶ光照射によって粘着力が低下又は喪失する材料を用いる。また、薄膜集積回路部６９への損傷を防ぐために、有機材料又は無機材料からなる保護膜９０を設けている。そして、 C1F_3 等のハロゲン化フッ素によるエッチングにより、素子分離を行う。

【０１４８】

次に、ジグ７２に複数の薄膜集積回路部６９が接着された状態で搬送し、ＩＤタグのインレット基体８１が配置されたステージ９１とのアライメントを行う。この際、図１３（Ａ）に示すように、ジグ７２やステージ９１に設けられたアライメント用のマーカー９３を利用することができる。インレット基体８１のうち薄膜集積回路部６９が形成される部分には、予め接着剤９２が形成されており、ジグ７２の位置を制御することにより、所望の素子を商品の所望の箇所に貼り付ける（図１３（Ａ））。これと同時に、薄膜集積回路部６９と、インレット基体８１に形成されたアンテナ８２とが電氣的に接続される。

【０１４９】

次に、インレット基体８１に貼り付けたい薄膜集積回路部６９に対して、マスクを介してＵＶ光９４を選択的に照射し、接着剤７３の粘着力を低下又は喪失させることにより、ジグ７２を該薄膜集積回路部とを分離する（図１３（Ｂ））。これにより、所望の薄膜集積回路部６９をインレット基体８１の所望の箇所に形成することができる。さらに、コーティング９５により、薄膜集積回路部６９をカバーする（図１３（Ｃ））。なお、ここでは、インレット基体８１の内側にアンテナ８２が形成された場合を示したが、予め薄膜集積回路部６９にアンテナを形成しておいても良い。

【０１５０】

本実施例に示した発明を用いることにより、 C1F_3 等のハロゲン化フッ素によるエッチングにより素子分離を行った際、素子がバラバラに分離することなく、所望の薄膜集積回路部６９を所望の箇所に形成することができる。なお、本実施例は、他の実施形態、実施例と自由に組み合わせることができる。

【産業上の利用可能性】

【０１５１】

以上述べたように、本発明は、商品を包装体に梱包して、保管、流通等させる場合に有効であり、本発明を適用することによって、ＩＤタグの利便性が格段に向上する。また、上記実施形態、実施例では、ＩＤタグを貼付する対象が商品であったが、勿論、それに限定されるものではなく、動植物等のあらゆる管理対象となるものも含まれる。このように、本発明の適用範囲は幅広く、その利用可能性は少なくないものと信ずる。

【図面の簡単な説明】

【０１５２】

【図１】本発明に係る商品管理システムの概略図

【図２】本発明に係る商品管理システムの回路構成の一例を示すブロック図

【図３】本発明を空港等における手荷物管理に適用した場合を示す図

【図４】共振回路部を運搬用車輛にも設けた場合を示す図

【図５】種々の通信方式を示す図、

【図６】ＩＤタグの回路構成の一例を示すブロック図

【図７】本発明におけるＩＤタグの作製工程図

【図８】本発明におけるＩＤタグの作製工程図

【図９】本発明におけるＩＤタグの作製工程図

【図１０】本発明におけるＩＤタグの作製工程図

【図１１】本発明におけるＩＤタグの作製工程図

【図１２】本発明におけるＩＤタグの作製に用いる減圧ＣＶＤ装置の概略図

【図１３】本発明におけるＩＤタグの作製工程図（インレット基板への転写方法）

【符号の説明】

【０１５３】

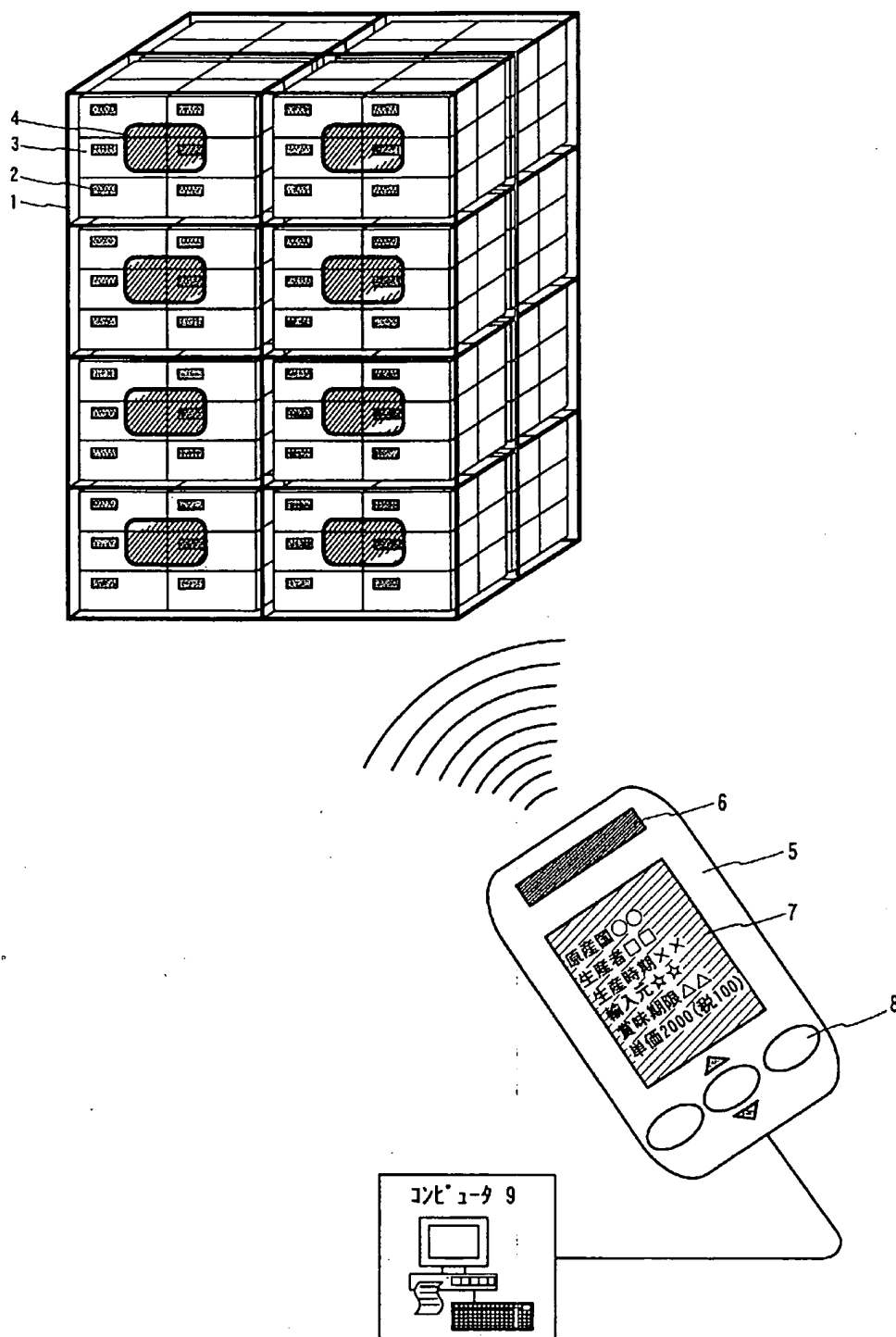
- １ 商品
- ２ ＩＤタグ
- ３ 包装体
- ４ 共振回路部
- ５ Ｒ／Ｗ
- ６ アンテナ部
- ７ 表示部
- ８ 操作キー
- ９ コンピュータ
- １０ データベース
- １１ コントローラ
- １２ 出力用インターフェース
- １３ 入力用インターフェース
- １４ 出力用アンテナ
- １５ 入力用アンテナ
- １６ 集積回路部
- １７ 電磁波
- １８ アンテナコイル
- １９ コンデンサ
- ２０ 入力用アンテナ
- ２１ 出力用アンテナ
- ２２ 入力用インターフェース
- ２３ 出力用インターフェース
- ２４ 整流回路
- ２５ 復調回路
- ２６ 変調回路
- ２７ アンプ
- ２８ バス
- ２９ 薄膜集積回路部
- ３０ ＣＰＵ
- ３１ コプロセッサ
- ３２ ＲＯＭ
- ３３ ＲＡＭ
- ３４ 不揮発性メモリ
- ３５ スーツケース
- ３６ 荷札
- ３７ コンベア
- ３８ 運搬用車輛

3 9 共振回路部
4 0 基板
4 1 剝離層
4.2 保護膜
4 3 島状半導体膜
4 4 ゲート絶縁膜
4 5 レジスト
4 6 ゲート電極
4 7 レジスト
4 8 不純物元素
4 9 低濃度不純物領域
5 0 レジスト
5 1 不純物元素
5 2 p 型の高濃度不純物領域
5 3 n 型 T F T
5 4 p 型 T F T
5 5 n 型 T F T
5 6 p 型 T F T
5 7 C P U
5 8 メモリ
5 9 絶縁膜
6 0 サイドウォール
6 1 レジスト
6 2 不純物元素
6 3 n 型の高濃度不純物領域
6 4 層間膜
6 5 保護膜
6 6 配線
6 7 接続配線
6 8 アンテナ接続部
6 9 薄膜集積回路部
7 0 溝
7 1 突起部
7 2 ジグ
7 3 接着剤
7 4 開口部
7 5 ハロゲン化フッ素ガス
7 6 基体供給手段
7 7 貼付手段
7 8 基体分離手段
7 9 ラミネート加工装置
8 0 回収手段
8 1 インレット基体
8 2 アンテナ
8 3 充填層
8 4 フィラー
8 5 ラミネート樹脂層
8 6 ベルジャー
8 7 基板
8 8 ヒーター

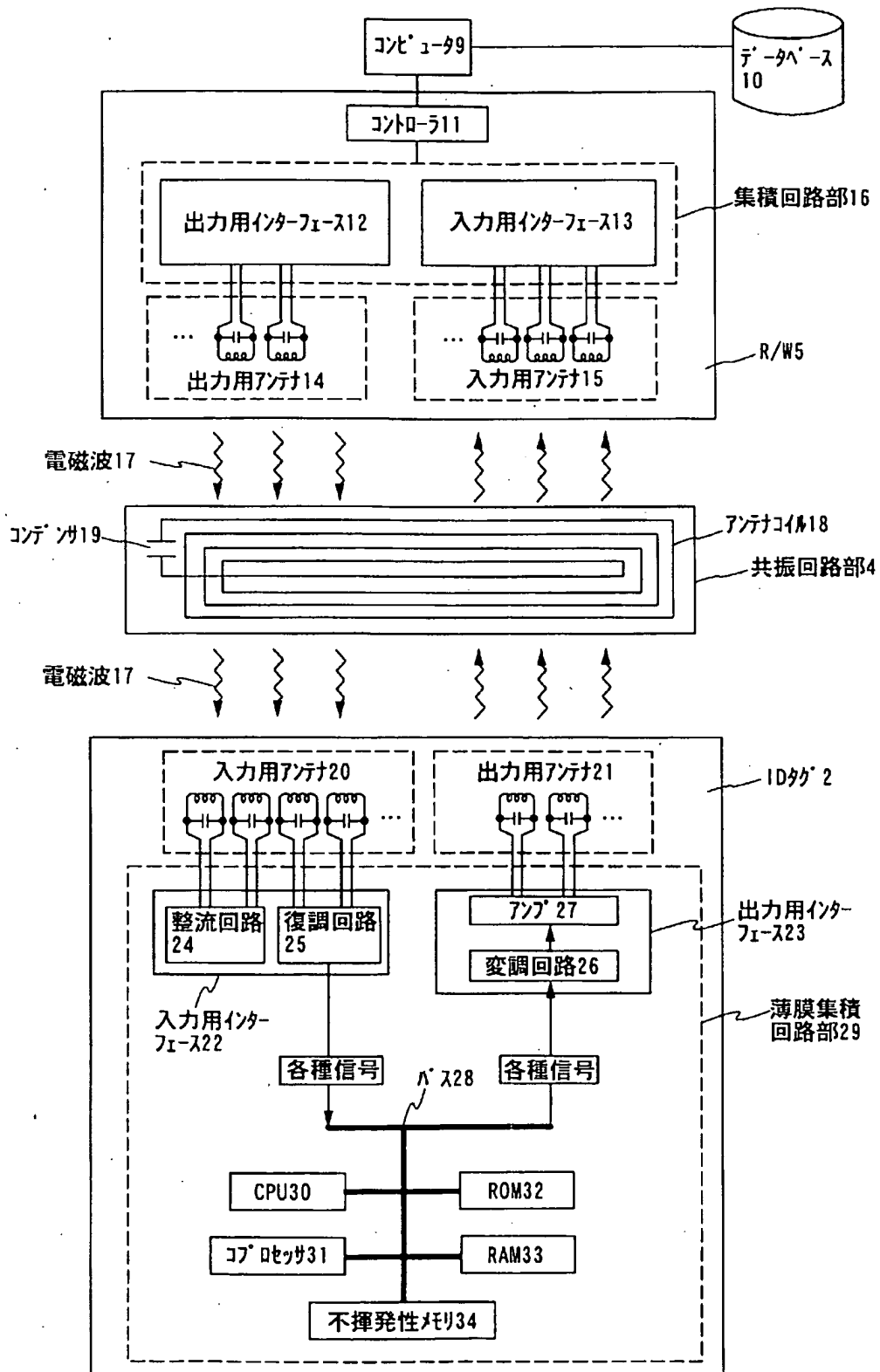
89 排気管
90 保護膜
91 ステージ
92 接着剤
93 マーカー
94 UV光
95 コーティング
201 アンテナ配線
202 アンテナ容量
203 第1の容量手段
204 第1のダイオード
205 第2のダイオード
206 第2の容量手段
207 第3のダイオード
208 第3の容量手段
209 スイッチング素子
210 論理回路
211 増幅器
212 クロック生成回路・デコーダ
213 メモリ
214 電源回路
215 入出力回路
216 アンテナ回路

【書類名】 図面

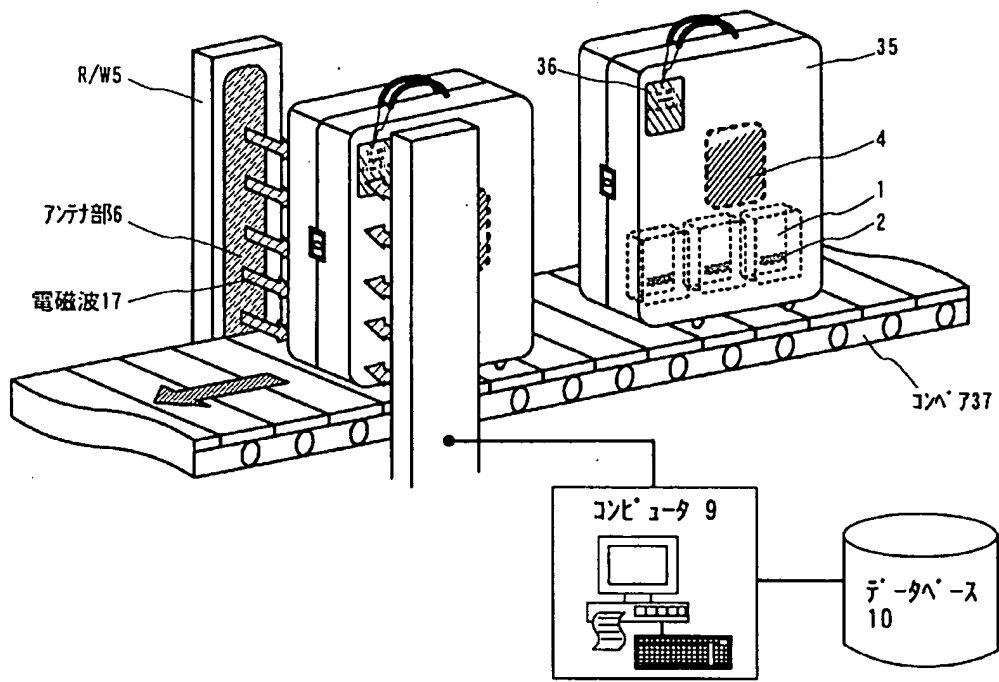
【図 1】



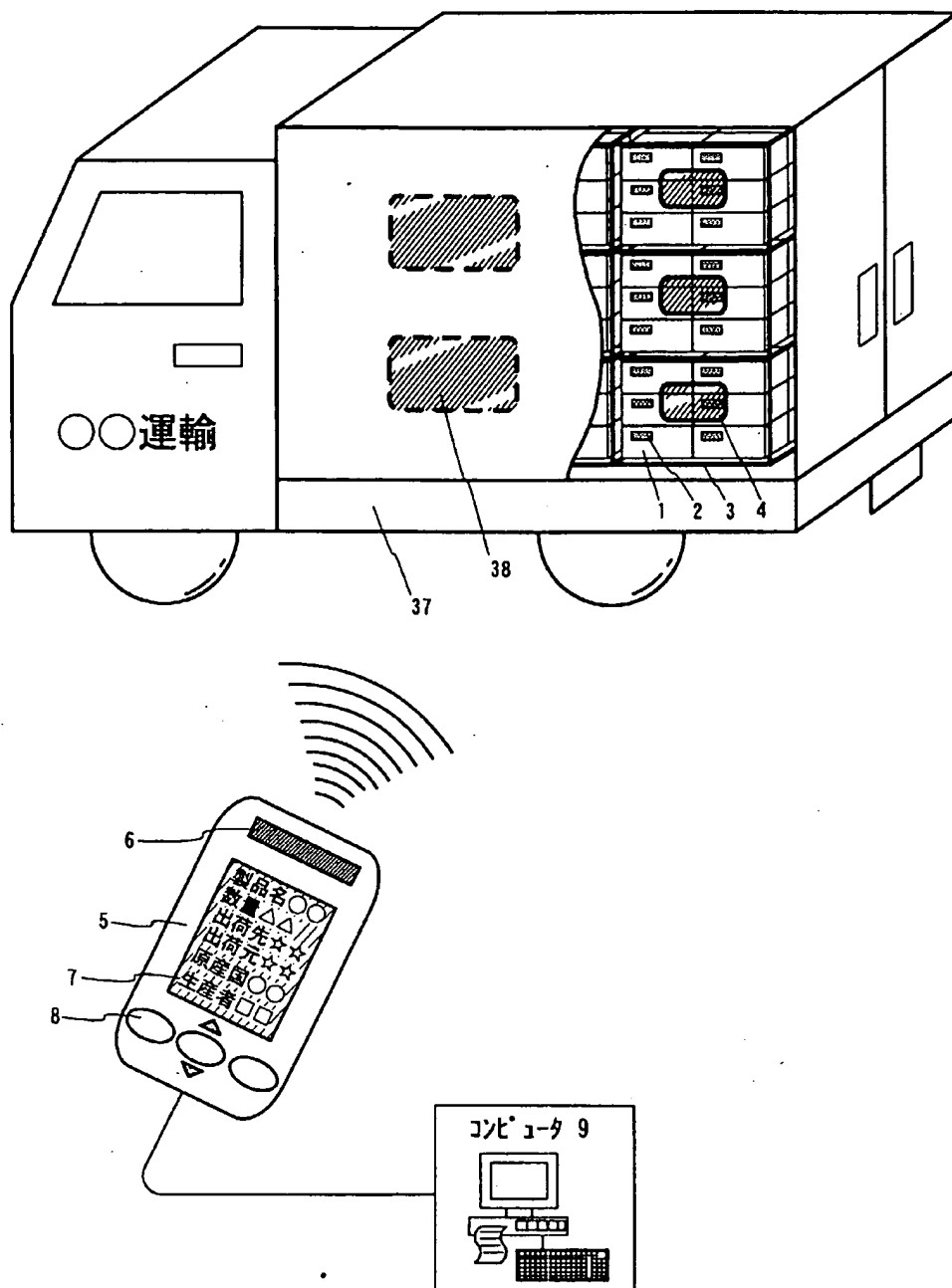
【図2】



【図3】

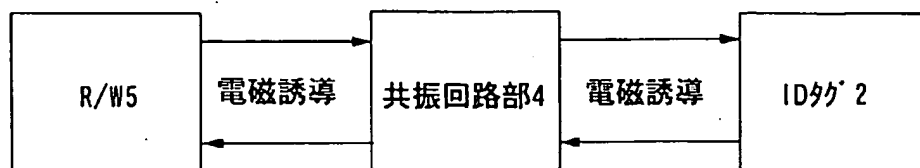


【図4】

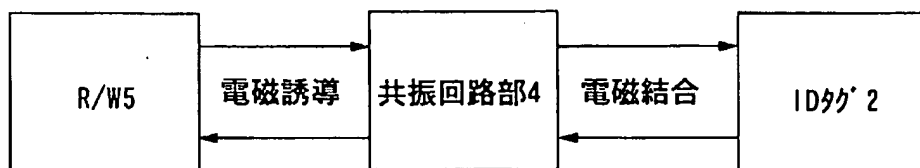


【図5】

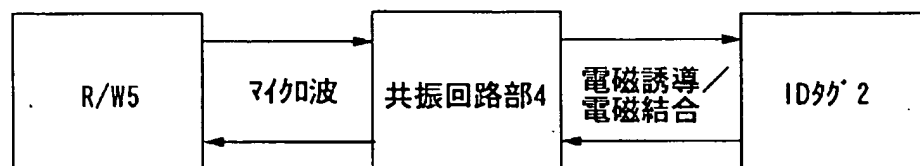
(A)



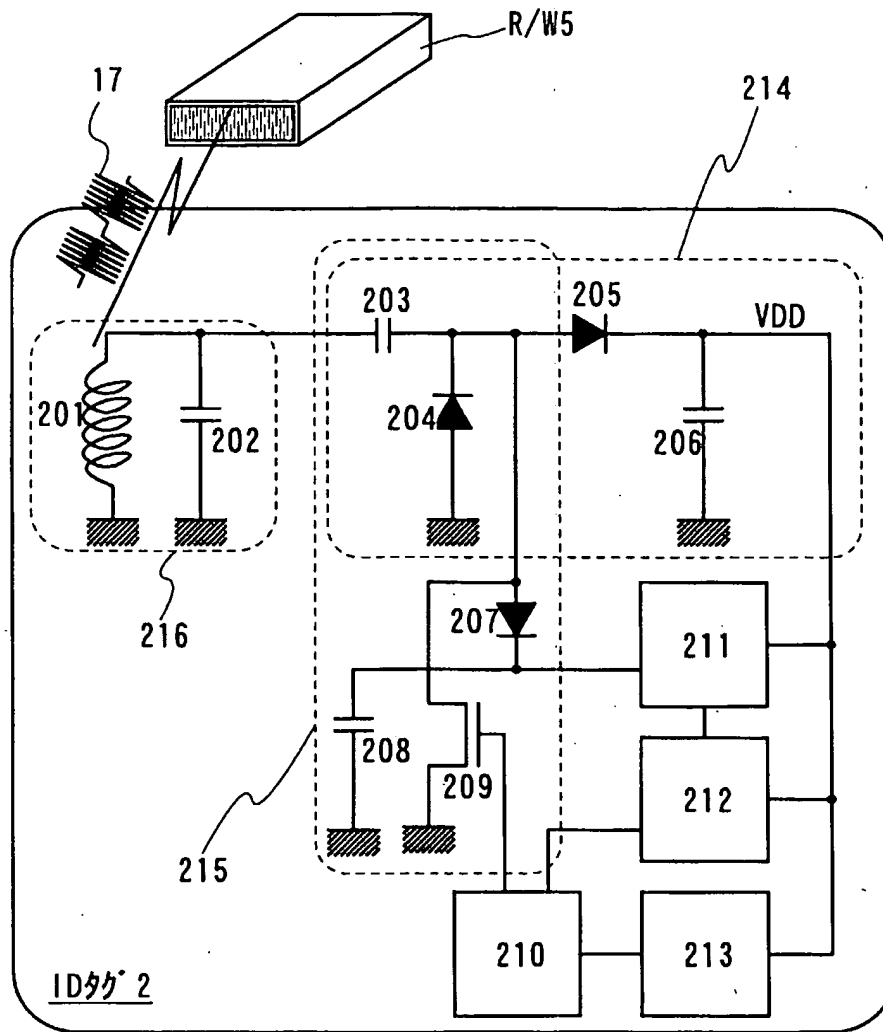
(B)



(C)

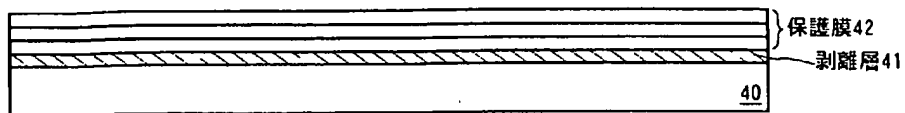


【図 6】

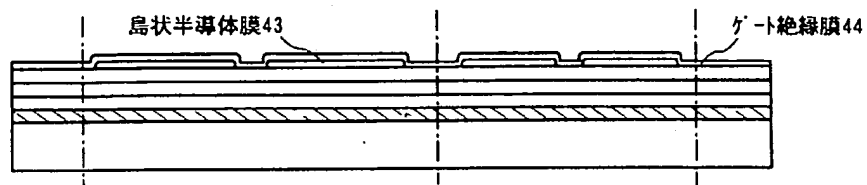


【図 7】

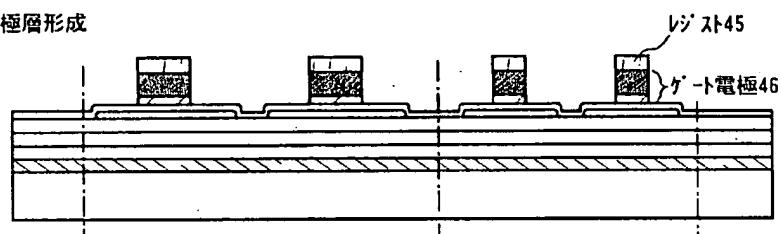
(A) 剥離層\保護膜形成



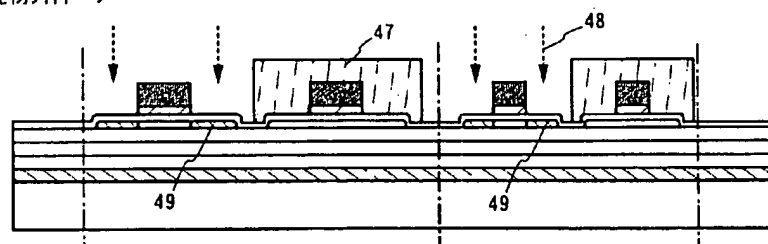
(B) 島状半導体膜\ゲート絶縁膜形成



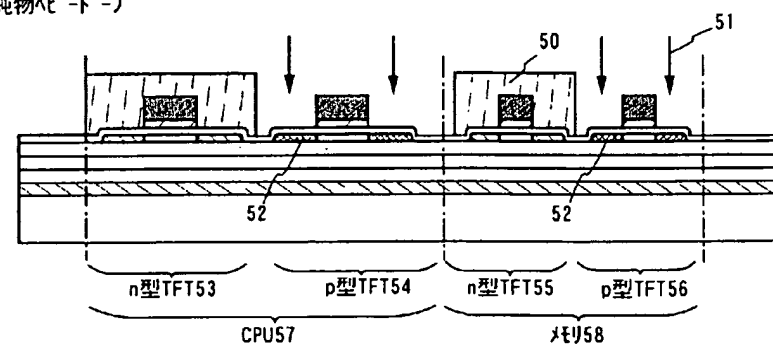
(C) ゲート電極層形成



(D) n型不純物イットロフ

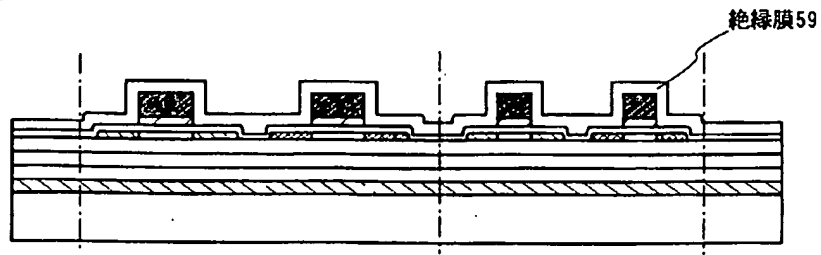


(E) p型不純物イットロフ

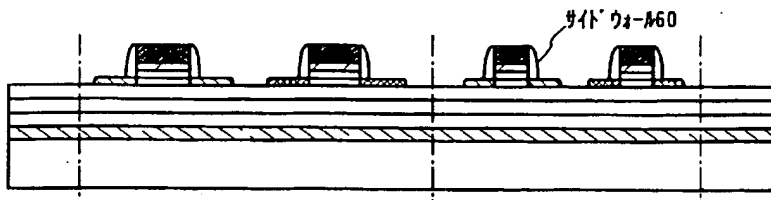


【図 8】

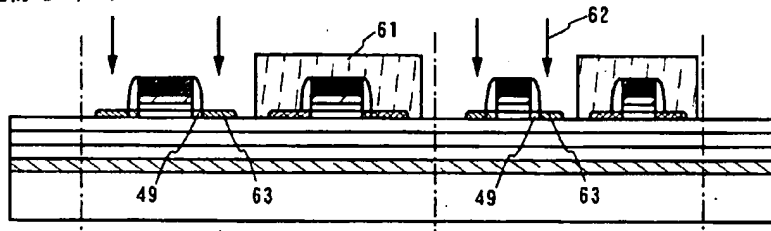
(F) 絶縁膜形成



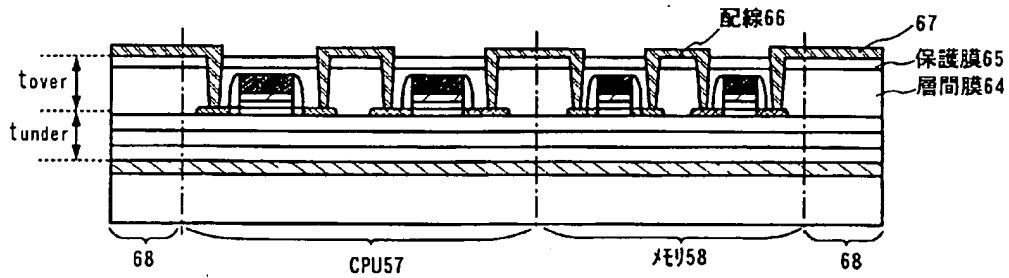
(G) イツパツク (サイドウォール形成)



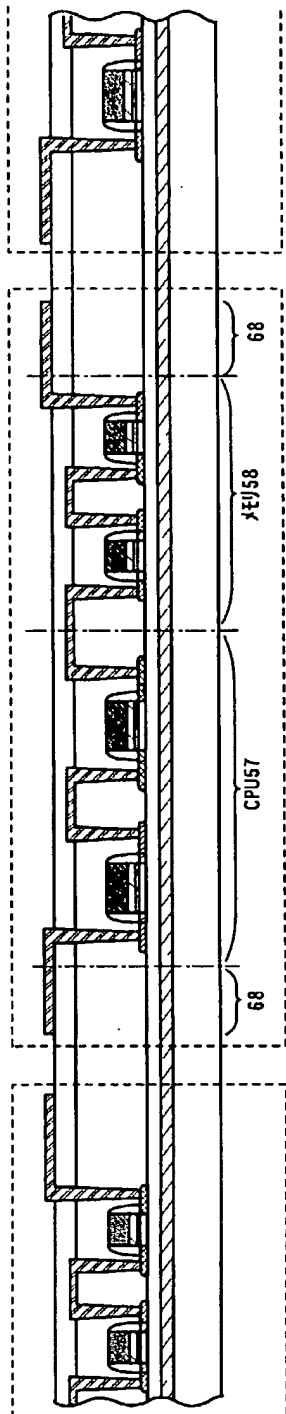
(H) n型不純物ヘビードープ



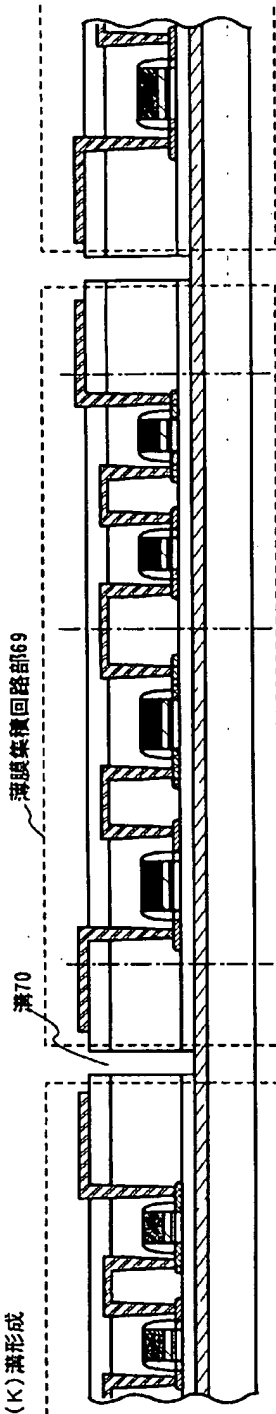
(I) 層間膜、保護膜、配線形成



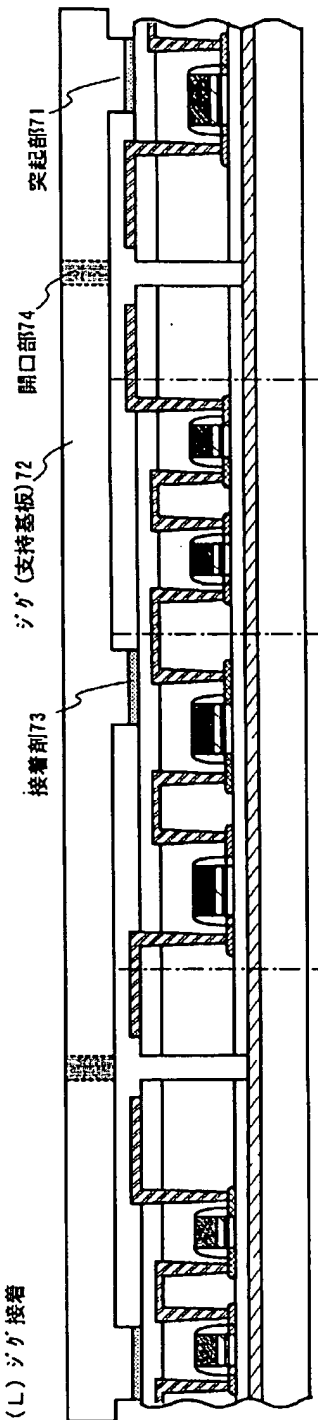
(J) 薄膜集積回路装置形成



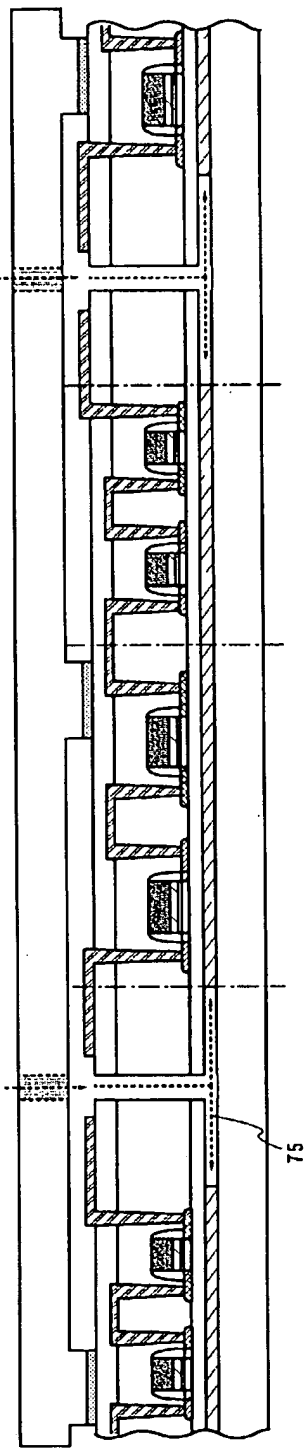
(K) 溝形成



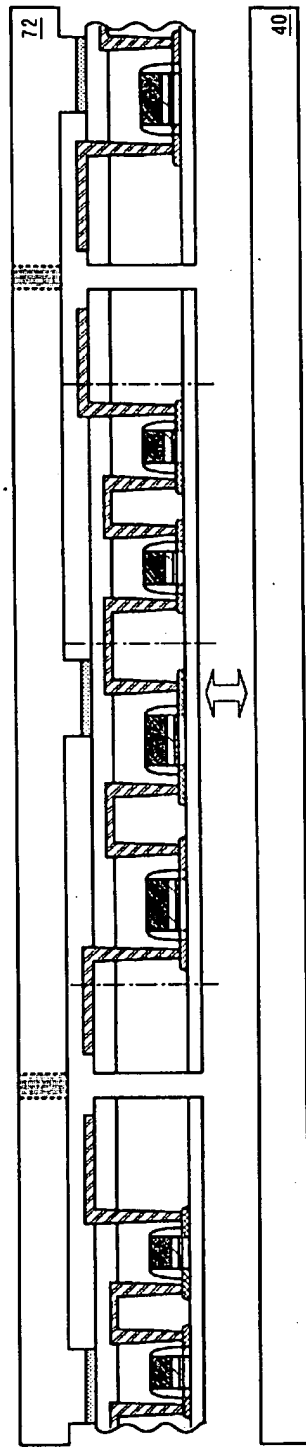
(L) ジグ接着



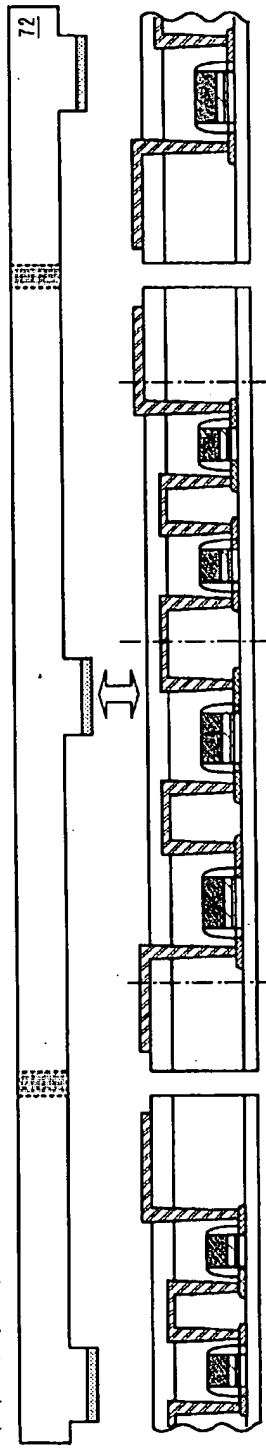
(M) NO₂ 活性化剤が導入



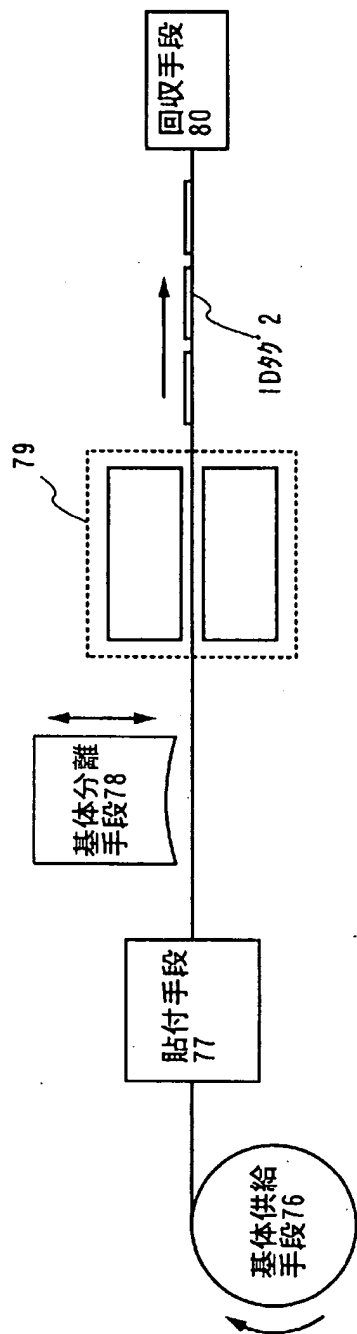
(N) 基板剥離



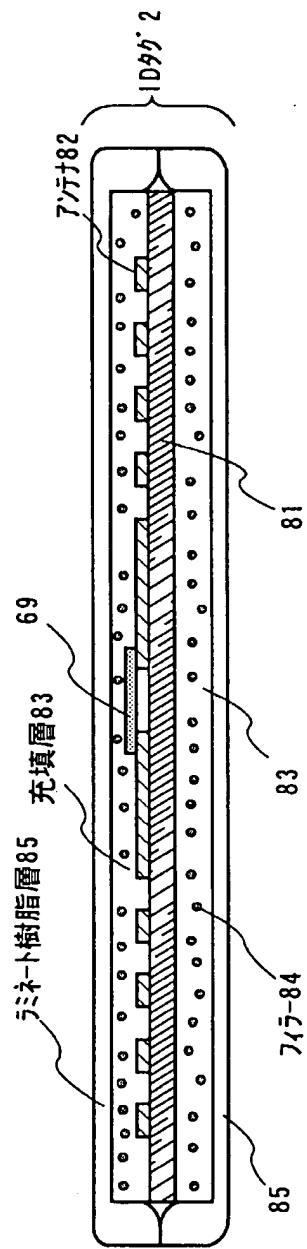
(O) ジグ取り外し



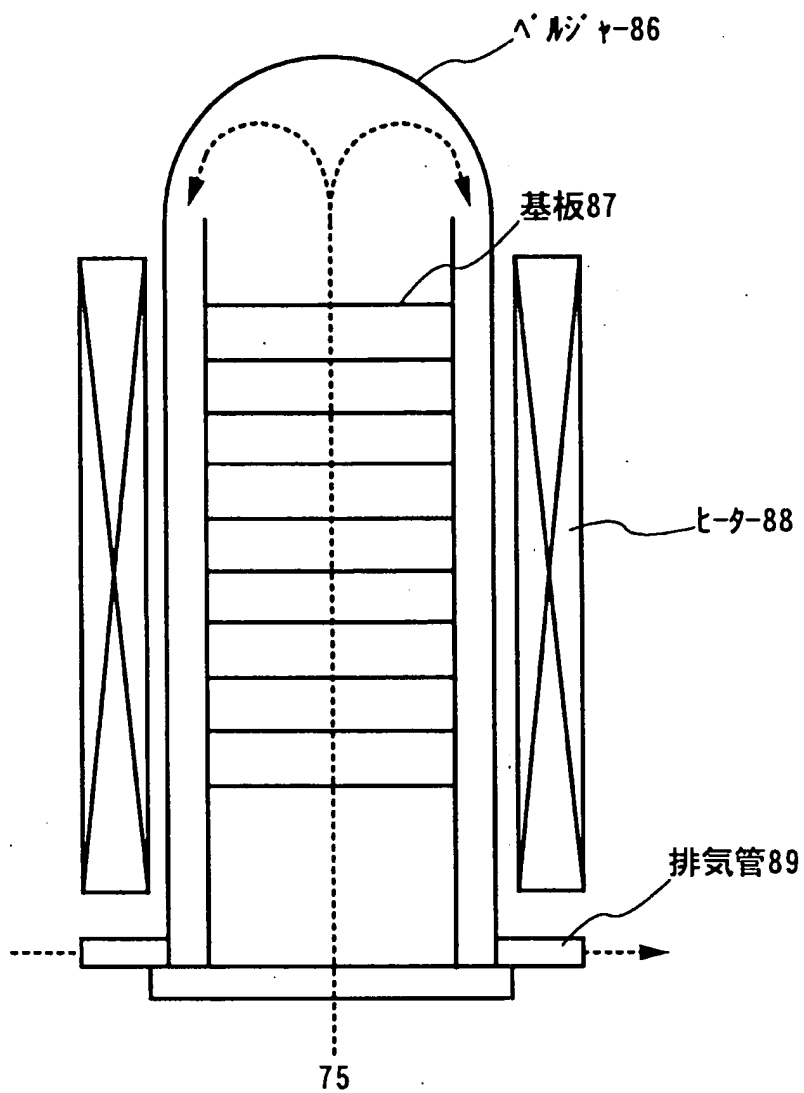
(A)



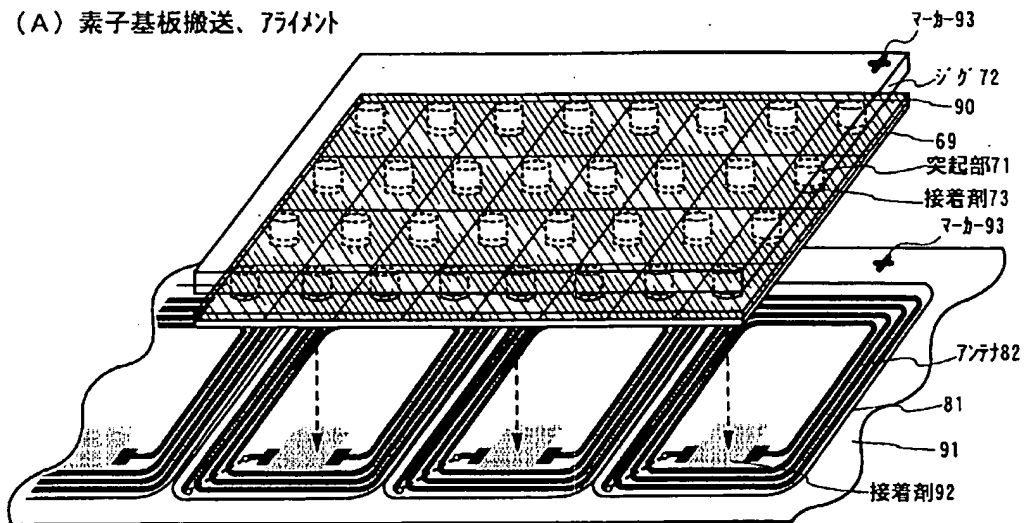
(B) 完成品の拡大図



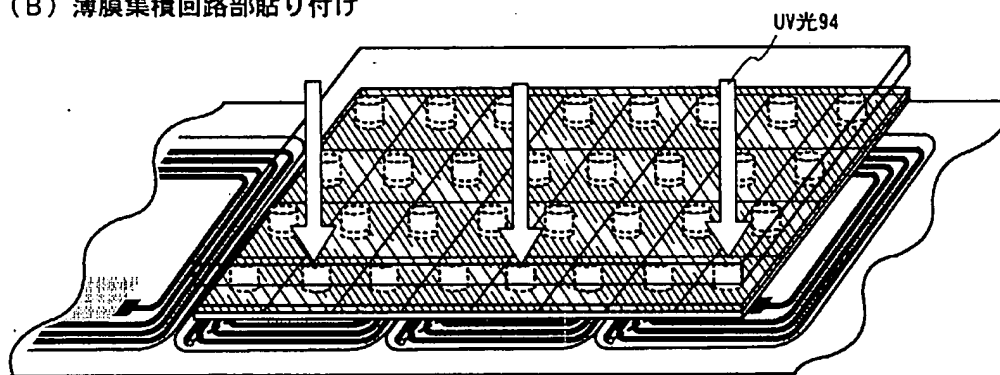
【図12】



(A) 素子基板搬送、アライメント



(B) 薄膜集積回路部貼り付け



(C) 加膜被覆

